

UNIVERSITÀ DEGLI STUDI DI BOLOGNA

FACOLTÀ DI INGEGNERIA

**Corso di Laurea Specialistica in Ingegneria delle
Telecomunicazioni**

Attività di tirocinio curriculare svolta presso: **INAF – IRA**
(Istituto Nazionale di AstroFisica – Istituto di RadioAstronomia)

**DISTRIBUTORE DI SEGNALI
DI SINCRONISMO E CLOCK
IN LOGICA PECL E LVDS
TRAMITE PLL**

Tutor Accademico:

Prof. Giovanni Tartarini

Tutor Aziendale:

Ing. Stelio Montebugnoli

Presentata da:

Giovanni Battista Montanari

Anno Accademico: 2004/2005

INDICE

Capitolo 1: Introduzione	3
1.1 Scenario Progettuale	3
1.2 Schema a Blocchi	7
1.3 Realizzazione	8
Capitolo 2: Progettazione	10
2.1 Alimentazione	10
2.1.1 Schematico	10
2.1.2 Layout	10
2.2 Scheda di sincronismo	12
2.2.1 Schematico	12
2.2.1.1 Buffer	16
2.2.1.2 Squadratore	16
2.2.1.3 PLL	17
2.2.1.4 Traslatore di livello TTL→PECL/LVDS	17
2.2.1.5 LED (Light Emitter Diodes)	17
2.2.1.6 Monostabile	18
2.2.1.7 Regolatore di Tensione	19
2.2.2 Layout	20
Capitolo 3: Misure	25
3.1 Banco di Misura	25
3.2 Segnali in Ingresso	26
3.3 Squadratore	26
3.4 Buffer	27
3.5 PLL (CK e CK/2)	28
3.6 TTL → PECL	28
3.7 Segnali in uscita LVDS	29
3.8 Segnale PPS in uscita	30
3.10 Osservazioni	31
Conclusioni	32
Bibliografia	33

CAPITOLO 1

INTRODUZIONE

1.1 SCENARIO PROGETTUALE

Questo progetto si inserisce nell'ambito dello sviluppo tecnologico del radiotelescopio “*Croce del Nord*” di Medicina (**Figura 1**).



Figura 1: Ripresa aerea della stazione Radioastronomica di Medicina.

Proprio in questi anni, l'Istituto di Radioastronomia di Medicina sta sviluppando ricerche e prototipi atti a fornire nuove conoscenze nel campo delle telecomunicazioni applicate alla radioastronomia da trasferire verso SKA (Square Kilometer Array), un'antenna di nuova e moderna concezione che avrà un'area complessiva di 1 Km^2 e che perciò permetterà l'esplorazione dettagliata delle più lontane regioni dello spazio. Per arrivare al progetto definitivo di SKA, istituti di ricerca di tutto il mondo stanno sviluppando nuove tecnologie ed algoritmi che saranno sperimentati su antenne di dimensioni ridotte, i cosiddetti “banchi di prova”. La Croce del Nord, per le sue caratteristiche elettriche e meccaniche, sarà usata come banco di prova per lo sviluppo delle tecnologie e dei concetti italiani.

Il lavoro di questo tirocinio si inserisce nella parte di digitalizzazione del sistema di ricezione dell'antenna a schiera bidimensionale “*Croce del Nord*”. In particolare, il problema cui si risponderà riguarda la possibilità di avere, nella sala in cui arrivano i segnali provenienti dall'antenna (**Figura 2**), la disponibilità di

diversi clock con differenti livelli di tensione e frequenza (variabili tramite selettori e jumper a seconda delle esigenze) necessari per la corretta campionatura dei segnali analogici. Il progetto prevede, inoltre, di implementare sulla scheda in oggetto la distribuzione di impulsi di sincronismo necessari per fornire marche temporali ai segnali campionati.

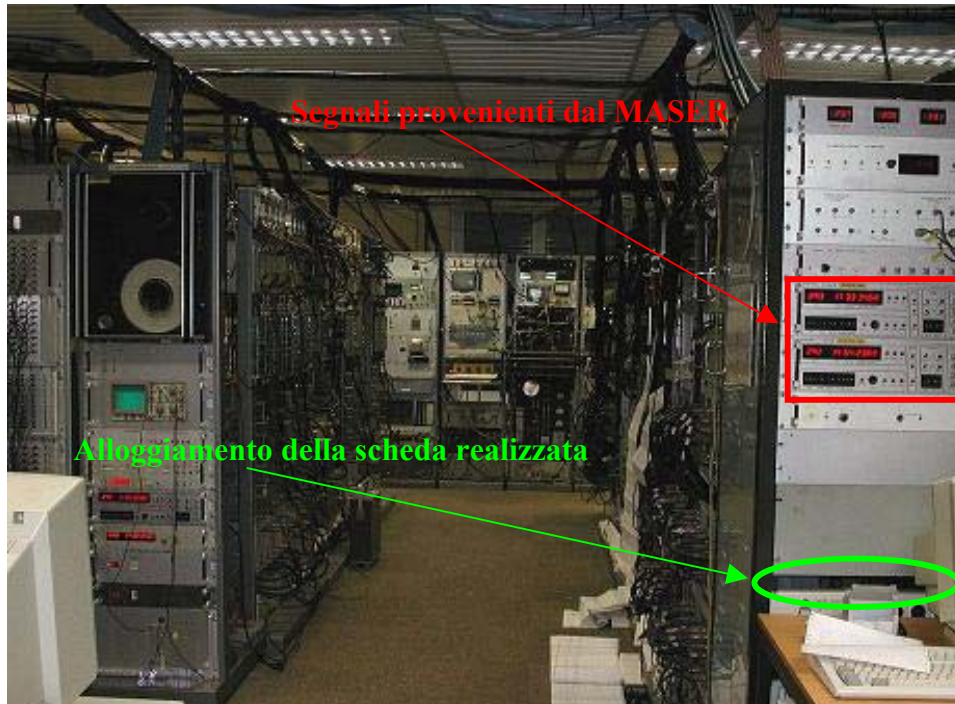


Figura 2: Stanza del ricevitore.

I segnali da “costruire” e distribuire sono perciò due: il primo è un clock necessario alla digitalizzazione dei segnali IF (a frequenza intermedia), mentre il secondo è un segnale di sincronismo caratterizzato da un breve impulso ripetuto ogni secondo; tale segnale verrà da qui in poi chiamato PPS (Pulse Per Second). Entrambi i segnali vengono ricavati da un MASER (Microwave Amplification by Stimulated Emission of Radiation) all’Idrogeno il quale fornisce il segnale di PPS ed un clock a frequenza di 5 Mhz entrambi con livelli di tensione TTL (Transistor Transistor Logic). Tali segnali saranno perciò quelli in ingresso alla scheda oggetto di questo tirocinio. Tramite il MASER è possibile avere a disposizione direttamente anche una sinusoide a 5 Mhz, la quale sarà fornita come ulteriore ingresso alla scheda in questione.

Si ricorda che la logica TTL è una logica sbilanciata ovvero il livello logico basso è attribuito nell’intorno della massa mentre quello alto è nell’intorno della tensione di alimentazione che in questo caso è 5V. Questo tipo di logica garantisce una semplicità realizzativa intrinsecamente dovuta alla presenza di un solo conduttore caldo su cui viaggia il segnale. A tale semplicità si oppone una

maggior sensibilità agli accoppiamenti rispetto alle logiche differenziali, in quanto in quest'ultime un disturbo costante su entrambe le linee viene annullato: ciò che porta informazione è infatti la tensione relativa tra le due linee e non quella assoluta come nel caso della logica TTL. Inoltre le logiche differenziali lavorano con livelli di tensione minori e quindi, oltre ad essere più affidabili in termini di potenza dissipata, sono adatte ad applicazioni ad elevate frequenze, in quanto il gap tra il livello alto e quello basso è estremamente ridotto, permettendo così una più rapida commutazione dei dispositivi elettronici.

Ecco perché si rende necessario utilizzare logiche differenziali nelle schede di ricezione; le logiche da noi utilizzate sono la PECL (Positive Emitter Coupled Logic) e la LVDS (Low Voltage Differential Signaling) i cui livelli di tensione sono indicati in **Tabella 1**.

Family	Nominal Power supply (V)	Input (V)		Output (V)	
		V_{IL}	V_{IH}	V_{OL}	V_{OH}
TTL	$V_{CC}=5.0$	$0 \div 0.8$	$2.0 \div V_{CC}$	<0.5	>2.4
PECL	$V_{CC}=5.0$	$3.05 \div 3.52$	$3.87 \div 4.19$	$3.05 \div 3.37$	$4.02 \div 4.19$

Parameter	LVDS	
	Min (mV)	Max (mV)
Output Differential Voltage	250	400
Output Offset Voltage	1125	1275
Input Voltage Range	0	2400
Differential HIGH Input Threshold		+100
Differential LOW Input Threshold	-100	

Tabella 1: Livelli di tensione per le varie famiglie logiche

Il progetto verterà quindi sulla realizzazione di una scheda che recuperi, converta e, nel caso del clock, multiplichi in frequenza questi segnali provenienti dal MASER rendendoli disponibili con livelli di tensione PECL o LVDS al rack di schede di ricezione che processeranno i segnali a frequenza intermedia provenienti dalla schiera di antenne.

In origine si era pensato di distribuire tali segnali di sincronismo mediante un unico link, realizzato magari in fibra ottica, tramite codifica di Manchester. L'idea era accattivante ma, analizzando il problema di decodifica che avviene mediante un recupero di sincronismo sul segnale portante, si è giunti ad un evidente paradosso.

Nel nostro caso, infatti, il segnale portante sarebbe un clock a 80 Mhz, il quale in decodifica verrebbe agganciato da un PLL (Phase Lock Loop) che in

generale, per poter lavorare con precisione sufficiente, richiede un oscillatore locale a frequenza dalle 8 alle 32 volte maggiore del segnale da inseguire e naturalmente un oscillatore locale al quarzo a tali frequenze risulterebbe, in termini di jitter, di gran lunga meno prestante di un maser all'idrogeno (che ha un errore pari al secondo su decennio).

Risulta quindi chiaro che l'unica alternativa ammissibile a livello teorico, ma irragionevole dal punto di vista ingegneristico, sarebbe quella di decodificare un segnale portante MASER con un altro MASER a frequenza, e soprattutto costo, maggiori.

Abbandonata tale ipotesi si è pertanto deciso di distribuire i segnali (clock e PPS) su link diversi. Da qui in poi verrà quindi descritta la scheda che si occupa di ricevere in ingresso i vari segnali di clock e sincronismo, traslarli in livelli logici differenziali PECL o LVDS e moltiplicarli in frequenza per poi distribuirli al rack contenente i ricevitori digitali.

1.2 SCHEMA A BLOCCHI

Come si vede dalla **Figura 3** lo schema a blocchi risulta abbastanza semplice da comprendere: i segnali devono essere convertiti da TTL a PECL o LVDS (quest'ultima traslazione viene realizzata mediante un partitore resistivo), inoltre il segnale di clock, oltre ad essere disponibile all'uscita a 5 MHz, è presente su altre due uscite con frequenze multiple variabili a seconda del valore dei selettori che comandano il PLL.

Il PLL indicato nello schema a blocchi è già vincolato alla scelta del chip effettivamente utilizzato che permette appunto la scelta di più frequenze multiple del segnale in ingresso.

Il segnale sinusoidale a 5Mhz in ingresso, viene squadrato tramite squadratore prima di entrare nel PLL. Con un apposito selettore è possibile scegliere se avere in ingresso il segnale sinusoidale o quello già squadrato.

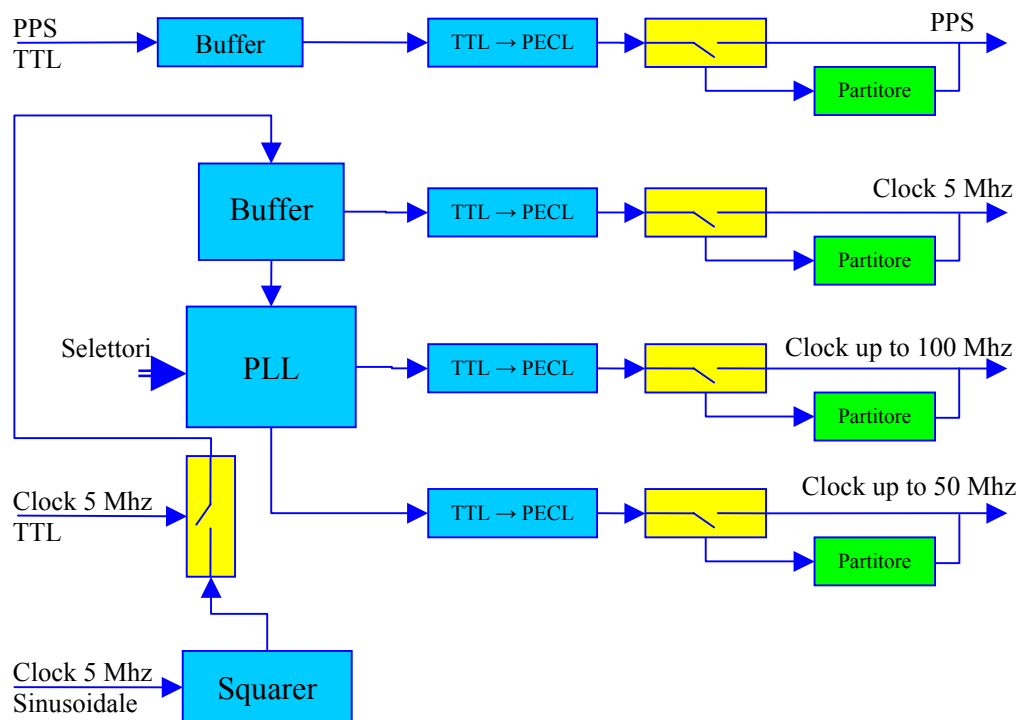


Figura 3: Schema a blocchi della scheda

1.3 REALIZZAZIONE

La scheda verrà realizzata in microstriscia con piano di massa coplanare su due strati, ovvero sia sul piano superiore sia su quello inferiore (**Figura 4**).

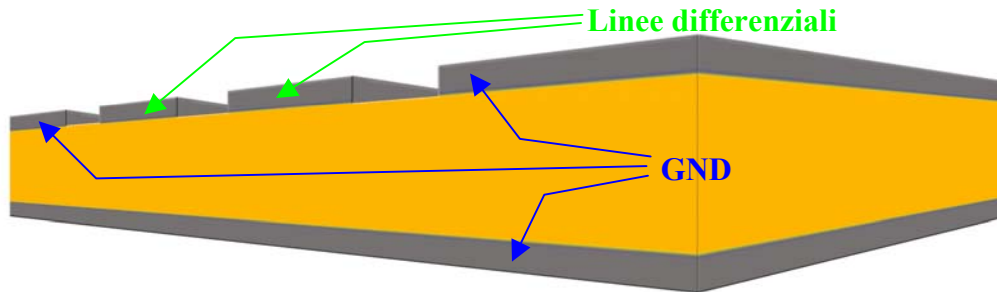


Figura 4: Schema di due linee differenziali con doppio piano di massa coplanare.

Siccome la scheda andrà inserita all'interno di un rack standard singola unità (415 mm di larghezza, 44 mm di altezza, 340 mm di profondità), necessiterà di un alimentatore stabilizzato che, prelevando la tensione di rete a 220 V, fornisca la 5 V continua richiesta per l'alimentazione della scheda. Come si vedrà in seguito, tale circuito di alimentazione è stato progettato e realizzato separatamente.

La ricerca e la scelta dei componenti è stata svolta consultando le banche dati on-line dei maggiori produttori di circuiti integrati, applicando criteri anche economici oltre che elettronici, meccanici e termici.

Sono state quindi analizzate le caratteristiche di ogni componente in termini di regione di funzionamento (tensione di alimentazione, famiglia logica utilizzata e frequenza di lavoro), caratteristiche del package (che per motivi di “montaggio a mano” dovevano presentare certe caratteristiche) e temperatura di lavoro.

La scelta dei componenti è stata anche in parte guidata da materiali già presenti nel magazzino della stazione radioastronomica.

Una volta completata la scelta dei chip è cominciato il progetto vero e proprio con la realizzazione dello schematico. A questo proposito è stato utilizzato il software **Capture CIS** presente nel pacchetto **OrCAD Release 9.2** licenziato presso la stazione di radioastronomia di Medicina. Sullo “sheet” di Capture sono stati posizionati i componenti necessari (integrati, resistenze, condensatori, connettori e jumper) i quali, se non presenti nelle librerie del programma, sono stati aggiunti modificando i disegni di altri componenti con caratteristiche simili. Tali componenti sono stati collegati tra loro tramite “wire” in maniera opportuna seguendo le raccomandazioni presenti sui relativi data sheet e da qui, tramite il comando DRC (Design Rule Check), si è verificata la correttezza elettrica del circuito.

Dopo aver creato lo schematico, è stato assegnato ad ogni componente il suo “footprint”, ovvero la sua impronta sulla scheda. Per quanto riguarda gli integrati tale impronta si trova indicata nel data sheet, mentre per le resistenze e i condensatori, che hanno package diversi a seconda della potenza che devono dissipare e della tensione che devono sopportare, il footprint è stato scelto ad hoc. La potenza dissipabile dalle resistenze è stata facilmente ricavata in base alla tensione ai loro capi ed alla corrente che le attraversa.

Infine, per dimensionare i regolatori di tensione necessari per alimentare la scheda, l'ultimo passaggio prima di iniziare la fase di routing ha riguardato il calcolo della corrente totale assorbita dal circuito medesimo. Sarebbe stato utile procedere alla simulazione del funzionamento dell'intera scheda tramite **PspiceAD**, altro software presente nella OrCAD Release 9.2, ma l'impossibilità di recuperare alcuni “behavior” degli integrati utilizzati ha impedito tale interessante riscontro progettuale.

Si è passati quindi alla fase di routing effettuata tramite il software **Layout plus** presente anch'esso nel già più volte citato pacchetto OrCAD Release 9.2. Dopo aver creato la netlist e aver stabilito la tecnologia di realizzazione, è stato disegnato il contorno della scheda. Si è proceduto con il posizionamento dei componenti in base alla disposizione stabilita sul pannello frontale del rack, che sarà illustrata più dettagliatamente in seguito, e alle specifiche di layout che ogni chip deve rispettare (vicinanza alle resistenze di terminazione e condensatori di disaccoppiamento).

Stabilite le posizioni, la fase successiva è stata disegnare le piste di connessione, decidendone le dimensioni. Nel caso di linee di alimentazione, la loro larghezza è stata progettata in base alla densità di corrente presente sulle linee stesse, mentre per le linee di segnale la larghezza delle piste è stata scelta in base al valore di adattamento, come di consueto, di $50\ \Omega$. Per quest'ultimo dimensionamento ci si è avvalsi del software **Txline**, contenuto nei tool di **Microwave Office** (anch'esso licenziato presso il radiotelescopio di Medicina). Tramite Txline è possibile: scegliere il tipo di linea di trasmissione utilizzata, che nel nostro caso è la linea coplanare con piano di massa, settarne i parametri tecnologici, quali angolo di perdita e costante dielettrica del substrato, conducibilità del conduttore utilizzato, spessore del substrato, imporre che la linea abbia impedenza caratteristica di $50\ \Omega$ ed ottenere quindi la larghezza della pista che garantisce l'adattamento.

Il layout completo è stato processato dal software *Board Master 3.0* della fresa *LPKF Protomat C30s* presente a Medicina, tramite la quale si è realizzato lo stampato. Su di esso sono stati montati i componenti per la fase finale di misura e collaudo.

CAPITOLO 2

PROGETTAZIONE

2.1 ALIMENTAZIONE

2.1.1 Schematico

Si comincerà con l'illustrare lo schematico relativo al circuito di alimentazione (**Figura 5**) che è stato realizzato separatamente oltre che per ragioni logistiche anche per poter familiarizzare meglio con OrCAD.

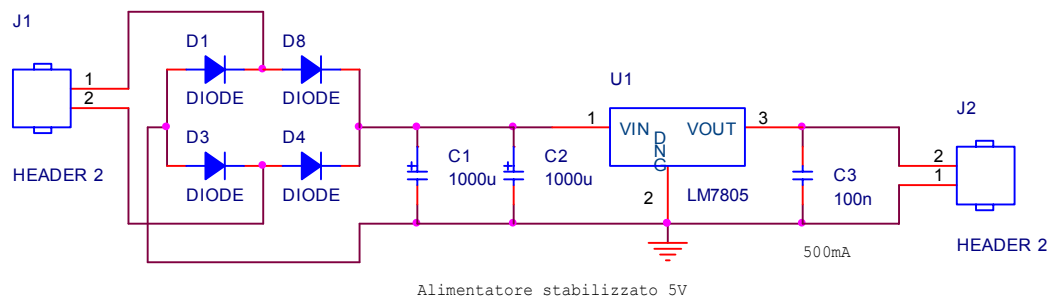


Figura 5: Schematico del circuito di alimentazione

Il circuito presenta in ingresso (J1) una tensione di 12 V proveniente da un trasformatore posto a monte. Tale tensione alternata viene raddrizzata dal ponte di diodi ad onda intera il cui ripple residuo è fortemente compensato dai due condensatori C1 e C2 da 1000 µF. In cascata a questi è posto il regolatore di tensione **LM7805** (U1) della **Fairchild** che provvede a stabilizzare la tensione ai 5 V desiderati. Tale dispositivo riesce a fornire una corrente massima di 500 mA, sufficiente ad alimentare la scheda che assorbe una corrente complessiva di 411 mA. Infine il condensatore da 100 nF a valle, come da indicazioni presente sul data sheet, “pulisce” il segnale in uscita da eventuali glitch.

2.1.2 Layout

La scheda è stata dimensionata in base alla grandezza del “cassetto” in cui deve essere collocata. Considerando che il “cassetto” ha un'altezza di 44 mm e una larghezza di 415 mm, le dimensioni scelte per la scheda d'alimentazione sono state: 35 x 110 mm.

In **Figura 6** è stato riportato il layout del circuito: sono riconoscibili i vari componenti e le piste che si trovano tutte sulla faccia inferiore della scheda, il *bottom*, si nota anche il piano di massa che circonda le piste. È presente anche un piano di massa sulla faccia superiore, il *top*, che non è stato indicato per rendere più chiaro il riconoscimento dei vari componenti.

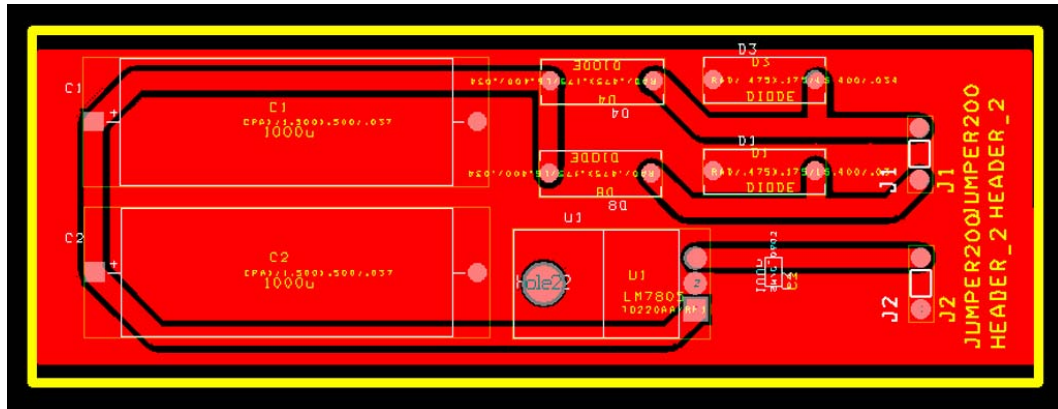


Figura 6: Layout del circuito di alimentazione

In **Figura 7** è presentata la scheda realizzata, in cui nella figura di sinistra sono riconoscibili i due condensatori, lo stabilizzatore ed il ponte di diodi, mentre in quella di destra si può notare la parte di alimentazione costituita dalla presa di corrente, interruttore, fusibile da 1,5 A (sufficiente per quanto già osservato in termini di corrente erogata) ed il trasformatore.

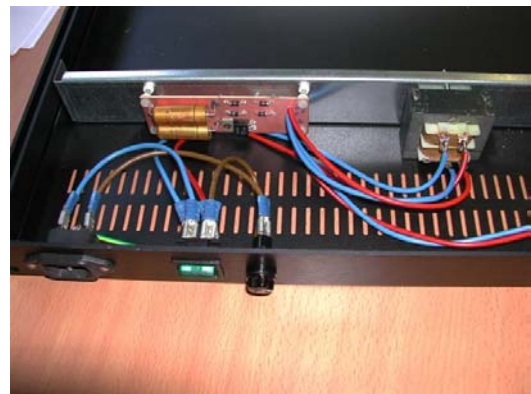
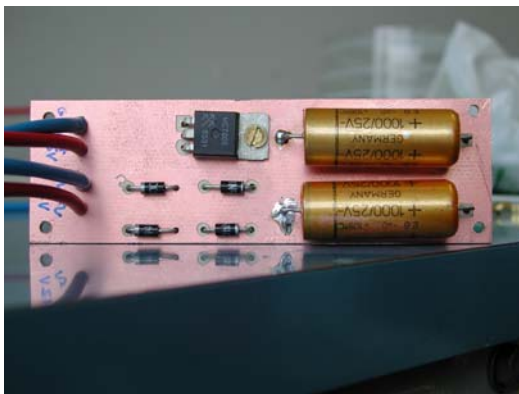


Figura 7: Scheda di alimentazione e circuito di alimentazione completo

2.2 SCHEDA DI SINCRONISMO

A questo punto si può entrare nel merito della trattazione del presente tirocinio, analizzando i vari passaggi che hanno condotto alla realizzazione della scheda per il recupero, la rigenerazione e la distribuzione dei segnali di sincronismo.

2.2.1 Schematico

Dalle **Figure 8 e 9** si capisce subito la maggior complessità di questa scheda rispetto a quella illustrata nel paragrafo precedente. Innanzitutto sono riconoscibili nella prima pagina dello schematico i tre ingressi sbilanciati: PPS, clock e clock sinusoidale e le quattro uscite bilanciate: PPS, simple clock, clock e clock/2.

Si cercherà ora di illustrare il funzionamento della scheda seguendo il percorso dei tre ingressi attraverso gli integrati verso le quattro uscite per poi analizzare i singoli chip specificando le scelte progettuali.

Si consideri il segnale di PPS: come si è detto è costituito da una successione di impulsi di periodo 1 sec e un'ampiezza di 5 V. Tale segnale viene posto in ingresso ad un connettore **smb** (J1) e da qui raggiunge il buffer (**74ACTQ244**) che provvede a sdoppiarlo. Le due repliche sono dirette l'una verso il primo dei due traslatori di livello (**MC10ELT22D** della **ON Semiconductor**) e l'altra verso il monostabile (**DM74LS123**) che si trova nella seconda pagina dello schematico, utilizzato per pilotare il **LED** di PPS on. A questo punto il PPS in uscita dal traslatore o si dirige direttamente verso l'uscita, costituita da un connettore **rj11**, e risulta quindi in logica PECL, oppure viene dirottato tramite coppie di jumper sul doppio partitore resistivo che provvede a convertirlo in LVDS. Andando a variare la posizione dei jumper siamo così in grado di ottenere in uscita un segnale in logica PECL o LVDS. Se cortocircuitiamo i jumper J8 e J7 e lasciamo aperti i jumper J9, J11, J12 e J13, in uscita otteniamo un segnale in logica PECL, al contrario (J8 e J7 aperti, e J9, J11, J12 e J13 cortocircuitati) in uscita otteniamo un segnale in logica LVDS.

Per quanto riguarda il clock, la scheda prevede al suo ingresso sia un'onda quadra TTL, sia un'onda sinusoidale, entrambe con frequenza 5 Mhz. Tramite il selettore SW3 è possibile decidere quale tipo di segnale d'ingresso prendere come riferimento per la generazione del clock in uscita. L'onda sinusoidale viene squadrata tramite lo squadratore **LT1715**. Per capire il livello della potenza che deve avere la sinusoide in ingresso, ci si è riferiti al ciclo di isteresi presente nel data sheet dello squadratore (**Figura 10**). Si nota che la tensione minima, nel caso peggiore, per far scattare lo squadratore ad un livello alto o basso di tensione d'uscita (V_{TRIP}^+ , V_{TRIP}^-) è di 5.5 mV, perciò il valore di picco della sinusoide in ingresso deve superare i 5.5 mV e ciò implica un suo valore efficace di 3.9 mV, quindi una potenza minima in ingresso (su un carico adattato a 50 Ω) di -35 dBm.

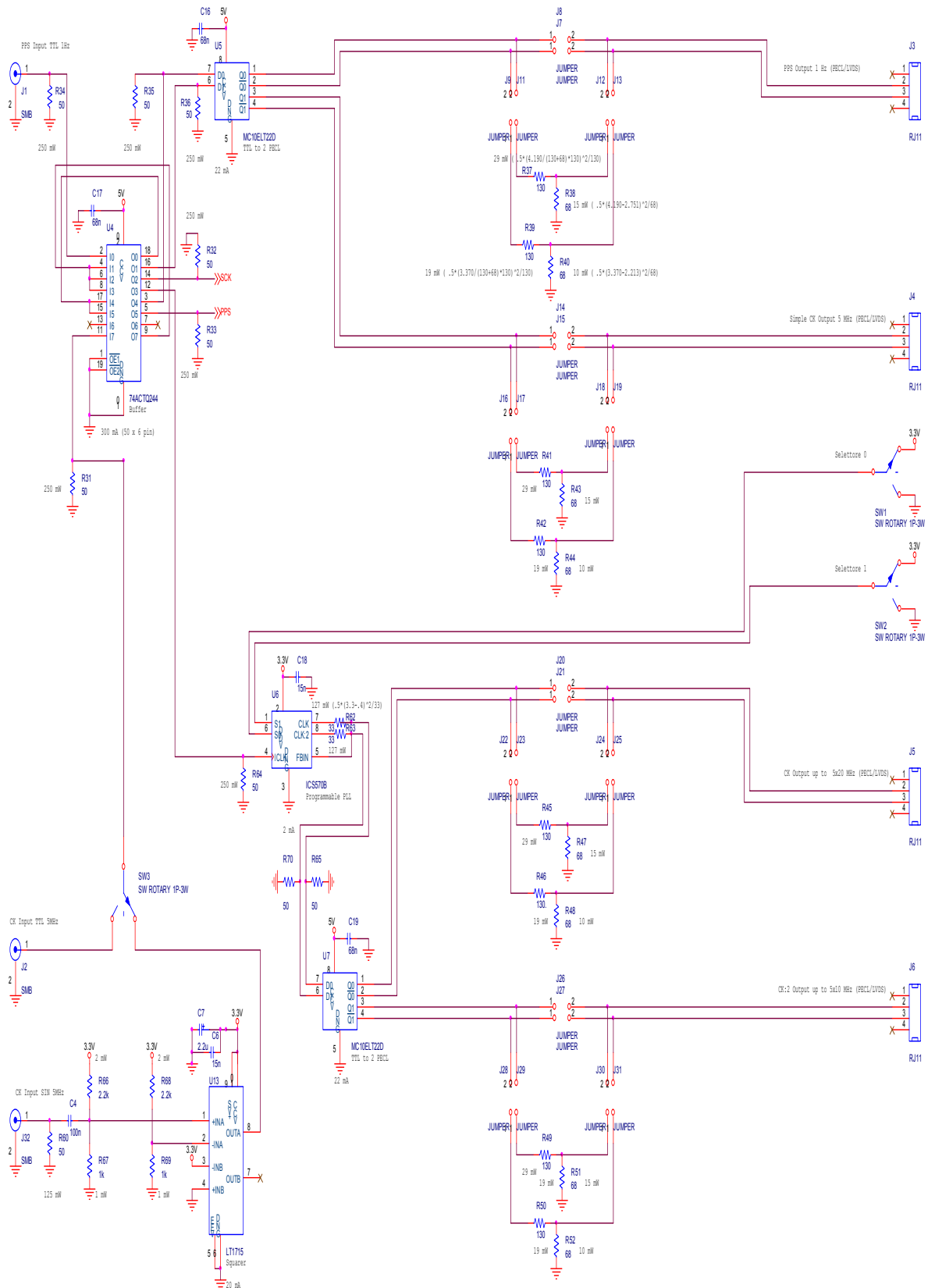


Figura 8: Schematico della scheda di sincronismo (Pagina 1/2)

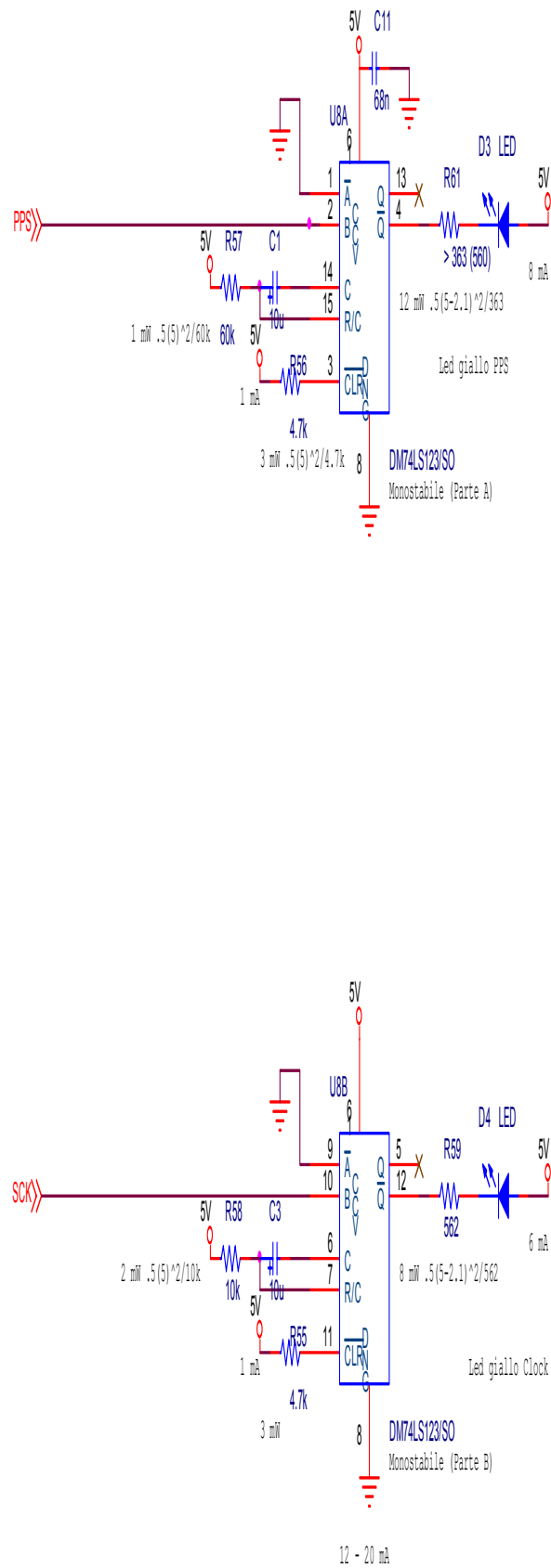
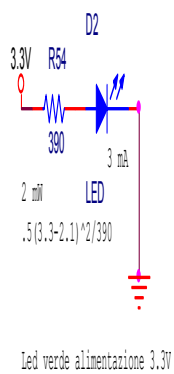
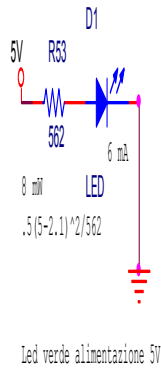
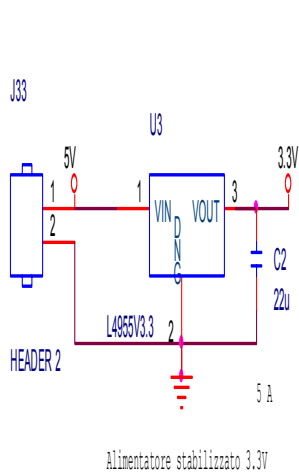
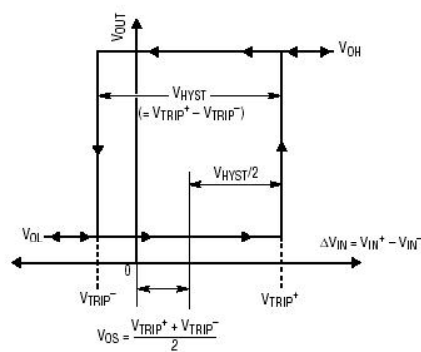


Figura 9: Schematico della scheda di sincronismo (Pagina 2/2)



SYMBOL	PARAMETER	MIN	TYP	MAX	UNITS
$V_{CC} - V_{EE}$	Input Supply Voltage	2.7		12	V
$+V_S$	Output Supply Voltage	2.7		6	V
V_{CMR}	Input Voltage Range	$V_{EE} - 0.1$		$V_{CC} - 1.2$	V
V_{TRIP+}	Input Trip Points	-1.5		5.5	mV
V_{TRIP-}		-5.5		1.5	mV
V_{OS}	Input Offset Voltage		0.4	2.5	mV
				3.5	mV
V_{HYS}	Input Hysteresis Voltage	2	3.5	6	mV

Figura 10: Ciclo di isteresi dello squadratore LT1715.

Successivamente il clock viene replicato dal buffer tre volte: la prima uscita segue il medesimo iter del PPS e raggiunge la sua uscita in logica PECL o LVDS. La seconda viene inviata al monostabile per pilotare il LED relativo alla segnaletica di presenza del clock e la terza entra nel PLL, vero cuore del circuito, che si occupa di moltiplicare la frequenza del segnale di clock per un numero di volte selezionabile tramite due selettori (SW1 e SW2), fornendo così in uscita due clock, uno a frequenza doppia dell'altra. Nella **Tabella 2** sono indicate le configurazioni possibili con il PLL utilizzato (**ICS570B**).

Clock Multiplier Decoding Table

(Multiplies Input clock by amount shown)

S1	S0	FBIN from CLK		FBIN from CLK/2		ICS570B (3.3 V)	ICS570A (5.0 V)
		CLK	CLK2	CLK	CLK2	ICLK Input Range FB from CLK/2*	ICLK Input Range FB from CLK/2*
#1	#6	pin #7	pin #8	pin #7	pin #8		
0	0	Power Down and Tri-State				-	-
0	M	x3	x1.5	x6	x3	3.75 to 28	2.5 to 25
0	1	x4	x2	x8	x4	2.75 to 19	2.5 to 19
M	0	x8	x4	x16	x8	2.5 to 9.5	2.5 to 9.5
M	M	x6	x3	x12	x6	2.5 to 12.5	2.5 to 12.5
M	1	x10	x5	x20	x10	2.5 to 7.5	2.5 to 7.5
1	0	x1	/2	x2	x1	11 to 75	5 to 75
1	M	x16	x8	x32	x16	2.5 to 5	2.5 to 5
1	1	x2	x1	x4	x2	5.5 to 37.5	2.5 to 37.5

0 = connect directly to ground

M = leave unconnected (self-biases to VDD/2)

1 = connect directly to VDD

*Input range with CLK feedback is double that for CLK/2

Tabella 2: Configurazioni possibili per il PLL.

In teoria la frequenza massima possibile in uscita dal PLL sarebbe 160 MHz (32 x 5Mhz), ma i traslatori di livello TTL→PECL lavorano fino a 100 Mhz (come indicato nel loro data sheet), perciò la massima frequenza ottenibile in uscita non può superare i 100 Mhz. Al momento delle misure si proverà a

spingersi oltre tale valore di frequenza per valutare l'effettiva forma d'onda che ne risulterà.

Questi due segnali di clock moltiplicati (CK e CK/2) vengono traslati in tensione, secondo i criteri già illustrati sopra, e forniti in uscita anch'essi in logica PECL o LVDS.

2.2.1.1 Buffer

Il buffer, come si è detto, è costituito dall'integrato **74ACTQ244** (U4) della **Fairchild**, la sua funzione è quella di replicare i due segnali in ingresso, clock e PPS, oltre ad amplificarli. Per questo entrambi i segnali "bufferizzati" vengono retroazionati sugli ingressi liberi del buffer sfruttandone il fanout.

Si noti la presenza sui due ingressi I7 e I0 delle resistenze di terminazione a 50 Ω , R31 e R34, la cui funzione è quella di assicurare l'adattamento a costanti concentrate delle piste in ingresso al buffer. Le resistenze R32, R33, R35, R36 e R64, anch'esse previste per avere adattamento in uscita, sono state tolte dopo la fase di misura in quanto assorbivano più corrente di quanta il driver fosse in grado di erogare (al massimo 24 mA) dimezzando la tensione dei segnali in gioco. Togliendo tali resistenze l'adattamento non ne ha risentito dato che i percorsi dei segnali fatti sulle piste della scheda sono risultati molto corti. L'ultima osservazione da fare riguarda la connessione dei pin in retroazione, che è stata studiata in base al layout, in modo che fossero il più possibile adiacenti, evitando così alle piste di fare strani percorsi sotto al componente. Questa ultima osservazione risulterà più chiara quando si osserverà il layout. In questo componente, come in tutti gli altri, salvo diverse indicazioni dai data sheet, è stato posto di default un condensatore da 68 nF tra l'alimentazione e la massa per far fronte ad eventuali glitch.

2.2.1.2 Squadratore

La funzione di squadratore è svolta dall'integrato **LT1715** (U13) della **Linear Technology** che contiene due comparatori. Uno solo di questi è stato utilizzato; l'altro, in ingresso, è stato connesso come da indicazioni da data sheet, mentre la sua uscita è stata lasciata in alta impedenza.

Il segnale di clock viene fatto passare attraverso un condensatore serie che blocca la continua in modo da disaccoppiare il segnale in ingresso, che ha in genere offset zero, rispetto al segnale in ingresso al comparatore che si è visto dal data sheet avere la migliore risposta attorno ad un offset di 1 V. Infatti la minima tensione di isteresi, come si è visto, è di 2 V quindi si è preso il punto di polarizzazione attorno alla metà di essa. Tale condizione viene raggiunta tramite i due partitori resistivi, uno in serie all'ingresso e l'altro sul pin 2 del comparatore (-INA). Per le altre connessioni e per i due condensatori di bypass ci si è attenuti alle indicazioni presenti sul data sheet.

2.2.1.3 PLL

Come si è visto il PLL è costituito dall'integrato **ICS570B** (U6) della **ICS** e permette di avere sui due pin di uscita CLK e CLK/2 un'oscillazione multipla di quella posta sull'ingresso ICLK. A seconda dell'uscita che viene retroazionata sul pin FBIN si hanno, per diverse configurazioni dei selettori S0 e S1, diverse frequenze (in Mhz) e diversi fattori moltiplicativi come è illustrato eloquentemente dalla **Tabella 2**. La scelta progettuale è ricaduta sulla retroazione del pin CLK/2 a seguito di un'approfondita campagna di misure svolta in precedenza dallo staff del radiotelescopio, in quanto questa particolare configurazione garantisce i minimi valori di jitter.

Restano da notare il valore del condensatore di livellamento, C18 da 15 nF, dimensionato in base alle indicazioni del data sheet, e le resistenze in serie alle due uscite, R62 e R63 da 33 Ω , che adattano in uscita il componente. Le ulteriori resistenze di terminazione, R65 e R70, sono state eliminate dopo la fase di misura per motivi analoghi a quelli già illustrati per il buffer.

2.2.1.4 Traslatore di livello TTL→PECL/LVDS

Come si è visto i due traslatori di livello (**MC10ELT22D**) sono il vero cuore del circuito in quanto si occupano di convertire la logica TTL in PECL. Ognuno di essi ha due canali: U5 trasla i segnali SCK e PPS, mentre U7 trasla i segnali CK e CK/2.

A valle dei traslatori troviamo il partitore resistivo per l'ulteriore traslazione da PECL a LVDS. Il dimensionamento delle resistenze e il tipo di terminazione dei segnali PECL e LVDS sono stati decisi in riferimento a due application note della On Semiconductor: AN1568/D e AND8020/D.

2.2.1.5 LED (Light Emitter Diodes)

Come si nota dalla seconda pagina dello schematico (**Figura 9**) i LED utilizzati nella scheda sono quattro: due verdi che segnalano la presenza dell'alimentazione (5 V e 3.3 V) e due gialli per segnalare che all'ingresso della scheda sono presenti i segnali di clock e PPS.

Per la caratterizzazione dei LED si è utilizzato un modello a soglia, ovvero una volta posta ai capi del diodo la tensione di soglia questo si accende e per piccole variazioni di tensioni può erogare corrente in base ad una legge esponenziale. Tale corrente va naturalmente limitata con una resistenza posta in serie al diodo opportunamente dimensionata.

Come si vede dalla **Tabella 3**, i diodi utilizzati hanno tutti una tensione di soglia pari a 2,1 V, perciò sfruttando la relazione seguente:

$$V_{cc} = V_F + R \cdot I_F$$

si vanno a calcolare le varie resistenze R da porre in serie al diodo stesso. Per quanto riguarda i LED di alimentazione (D1 e D2), posta una corrente diretta (di forward) $I_F = 10 \text{ mA}$, utilizzando $V_{cc} = 5 \text{ V}$ per uno e $V_{cc} = 3,3 \text{ V}$ per l'altro, si ottengono valori delle resistenze che valgono rispettivamente: $290 \text{ } \Omega$ e $120 \text{ } \Omega$. Come si vede dallo schematico esse sono state poste a valori maggiori ($562 \text{ } \Omega$ e $390 \text{ } \Omega$ rispettivamente) per diminuire la corrente che fluisce attraverso il diodo e quindi l'intensità luminosa da questo emessa, con una conseguente minor usura e un maggior tempo di vita del componente.

	Infrarosso	Rosso	Giallo	Verde	Blu
Simbolo	GaAs	GaAsP	GaP	GaP	SiC
$I_F \text{ max (mA)}$	150	100	60	60	50
Tensione di soglia $V_F \text{ (V)}$ con $I_F = 20 \text{ mA}$	1,1	1,6	2,1	2,1	3,5

Tabella 3: Caratteristiche salienti dei LED al variare del colore

Per quanto riguarda i LED (D4 e D3) relativi ai due segnali CK e PPS si è pensato di tenere sempre acceso il primo nel caso di presenza del clock in ingresso (infatti l'occhio umano non è in grado di percepire una variazione di tipo "on/off" con una frequenza di 5 Mhz) e di far lampeggiare il secondo alla frequenza di 1 Hz . Per far questo ci si è avvalsi di un monostabile che verrà di seguito presentato.

2.2.1.6 Monostabile

La funzione svolta da questo chip (**DM74LS123** della **Fairchild**, U8A e U8B) è quella, come si è detto, di pilotare i due LED gialli, prendendo in ingresso i segnali di CK e PPS e di allungarne il periodo per avere segnali "alti" per un tempo sufficiente ad accendere i LED.

Questo integrato è costituito da due Flip-Flop e genera un ritardo variabile in base ai valori scelti per le capacità e resistenze messe ai suoi ingressi e connessi come in **Figura 11**. I valori di tali componenti sono stati ricavati dalla seguente relazione fornita dal data sheet del componente:

$$t_w = K \cdot R_x \cdot C_x$$

tale relazione è valida sotto l'ipotesi che $C_x \gg 1000 \text{ pF}$ assumendo $K \approx 0,37$. Volendo quindi mantenere il CK sempre a livello alto sono state scelte una resistenza di $10 \text{ k}\Omega$ e un condensatore di $10 \text{ } \mu\text{F}$ che forniscono una larghezza dell'impulso di 37 ms ben superiore al periodo del segnale che è di 200 ns . Per quanto riguarda il PPS l'utilizzo del monostabile si è reso necessario per la brevità dell'impulso (400 ns) insufficiente a far accendere il LED. Tramite una resistenza

da 60 k Ω ed un condensatore da 10 μ F, si è allargato il periodo alto dell'impulso fino a 222 ms, sufficienti a far lampeggiare il LED.

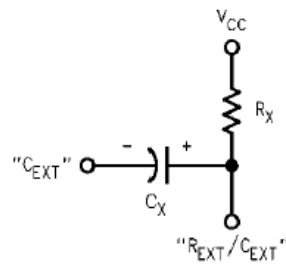


Figura 11: Schema di connessione per la regolazione del ritardo introdotto dai Flip-Flop

Si noti che entrambi i LED sono connessi all'uscita $\overline{Q}$ in quanto l'uscita alta del monostabile non era in grado di fornire una corrente sufficiente a far accendere il LED. Le resistenze di limitazione R61 e R59 a valle dei LED sono state progettate tenendo conto della massima corrente che poteva fluire sui pin del monostabile. Per lo stesso motivo sono state poste le due resistenze di limitazione da 4,7 k Ω sul segnale di $\overline{CLR}$.

2.2.1.7 Regolatore di Tensione

Questo regolatore (**L4955V3.3 della STMicroelectronics**, U3) come si vede dalla **Figura 9** ha il compito di ricavare la tensione di alimentazione a 3,3 V da quella a 5 V ed è in grado di erogare una corrente massima di 5 A. Si ricorda che tale corrente è ben al di sopra dell'intero assorbimento del circuito, il cui calcolo viene ora riportato avvalendosi della **Tabella 4**.

Componente	Corrente assorbita (mA)	Alimentazione (V)	Quantità
74ACTQ244	50 mA ogni PIN $\rightarrow$ 300	5	1
MC10ELT22D	22	5	2
ICS570B	2	3,3	1
LT1715	20	3,3	1
DM74LS123	20	5	1
LED D1, D4	6	5	2
LED D2	3	3,3	1
LED D3	8	5	1
Resistenze R66+R67, R68+R69	1	3,3	2
Totale	411 mA		

Tabella 4: Corrente massima assorbita dalla scheda

Si noti la presenza in parallelo all'uscita di un condensatore di livellamento di 22 μ F che è stato posto come da indicazioni fornite dal data sheet.

2.2.2 Layout

Tenendo conto delle dimensioni del suo alloggiamento, la scheda è stata progettata di grandezza 90 x 240 mm. Dalla **Figura 12** si distingue il pannello frontale, in basso da sinistra a destra, costituito da i due LED di alimentazione, l'ingresso del PPS e il relativo LED, l'ingresso del clock TTL e quello sinusoidale con in mezzo il relativo LED, i due selettori relativi al PLL e le quattro uscite: PPS, SCK, CK e CK/2. Gli accorgimenti basilari di routing sono già stati descritti nel paragrafo 1.3, qui ci si limiterà ad approfondire il dimensionamento delle piste in quanto i componenti sono stati disposti con semplici criteri di buonsenso applicati ai percorsi che i segnali devono fare lungo la scheda. Il regolatore è stato isolato rispetto al resto del circuito per prevedere un'eventuale aletta di dissipazione.

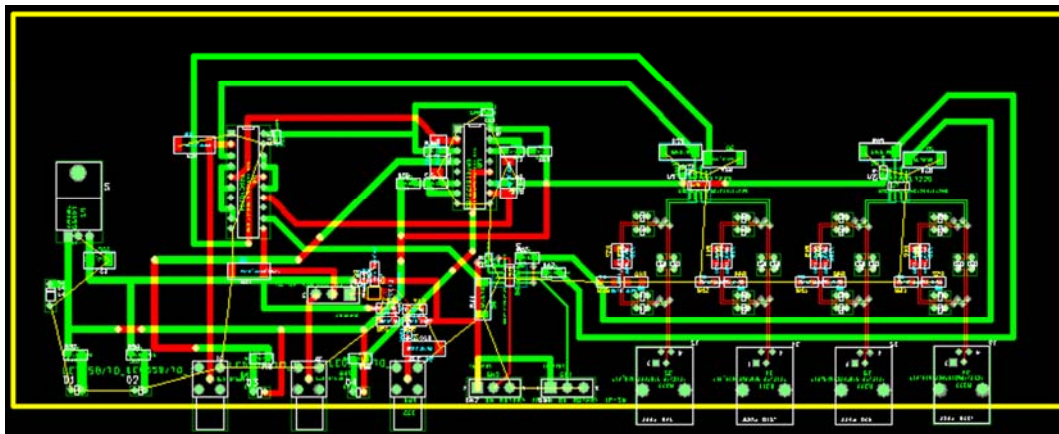


Figura 12: Layout della scheda senza i piani di massa

Si è cominciato col disegnare le piste di segnale in logica TTL che, come si è detto, sono state dimensionate grazie al tool Txline (**Figura 13**). I valori impostati sono quelli riportati in **Tabella 5**.

Costante dielettrica del substrato (FR4)	4,7
Angolo di perdita	0,02
Conducibilità del metallo (rame)	5,88e+07 S/m
Gap tra il conduttore caldo e il piano di massa	200 μm
Altezza del substrato	1575 μm
Spessore del conduttore	17,5 μm
Frequenza	10 GHz
Impedenza desiderata	50 Ω
Larghezza della striscia	1099 μm

Tabella 5: Caratteristiche fisiche della linea coplanare con doppio piano di massa utilizzata

The screenshot shows the TXLINE 2003 - CPW software interface. The 'Material Parameters' section is set to Dielectric: GaAs, Dielectric Constant: 4.7, Loss Tangent: 0.02, Conductor: Silver, and Conductivity: 5.88E+07 S/m. The 'Electrical Characteristics' section shows Impedance: 50 Ohms, Frequency: 10 GHz, Electrical Length: 90 deg, Phase Constant: 180 deg/m, Effective Diel. Const.: 10, and Loss: 10 dB/m. The 'Physical Characteristic' section shows Physical Length (L): 4476.9 um, Width (W): 1099.33 um, Gap (G): 200 um, Height (H): 100 um, and Thickness (T): 17.5 um. A diagram on the right illustrates the CPW structure with parameters G, W, H, and T.

Figura 13: Schermata del tool Txline

Si noti che la frequenza è stata posta a 10 GHz in quanto il segnale di clock, essendo ad onda quadra, contiene armoniche di ordine superiore a quelle della frequenza del clock stesso.

**Figura 14:** LPKF Protomat C30s al lavoro

Un altro accorgimento che si è tenuto è stato quello di evitare, per quanto possibile, gli incroci tra le piste su livelli diversi e di non disporre due linee parallele tra *layers* per evitare accoppiamenti indesiderati e nocivi.

Le linee differenziali per le logiche PECL e LVDS sono state dimensionate in base alle simulazioni effettuate tramite Microwave Office sul modello opportuno, linee differenziali con doppio piano di massa (**Figura 15**), presente in libreria. Essendo, le linee, differenziali, il parametro chiave da tenere sotto

controllo per l'adattamento è l'impedenza relativa alla componente dispari del modo quasi-TEM che si propaga lungo la struttura. Dopo varie simulazioni, si è giunti al valore voluto di impedenza dispari pari a $50,3+1,07j$ a 100 Mhz (**Figura 16**) nella condizione di larghezza delle piste pari a $400\text{ }\mu\text{m}$, di un gap fra loro di $200\text{ }\mu\text{m}$ e di un gap di $200\text{ }\mu\text{m}$ fra le linee differenziali ed il piano di massa circostante.

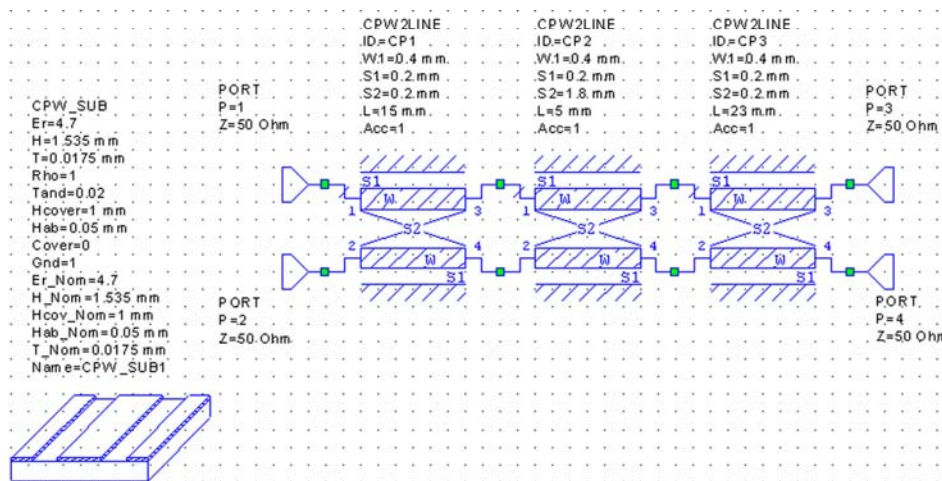


Figura 15: Modello delle linee differenziali

Dopo aver disegnato le linee di segnale si è passati a tracciare quelle di controllo e segnalazione LED ed infine quelle di alimentazione. In queste ultime la larghezza delle piste è stata scelta in base all'effettiva corrente che le deve attraversare, cioè tenendo conto della densità di corrente sulle piste stesse.

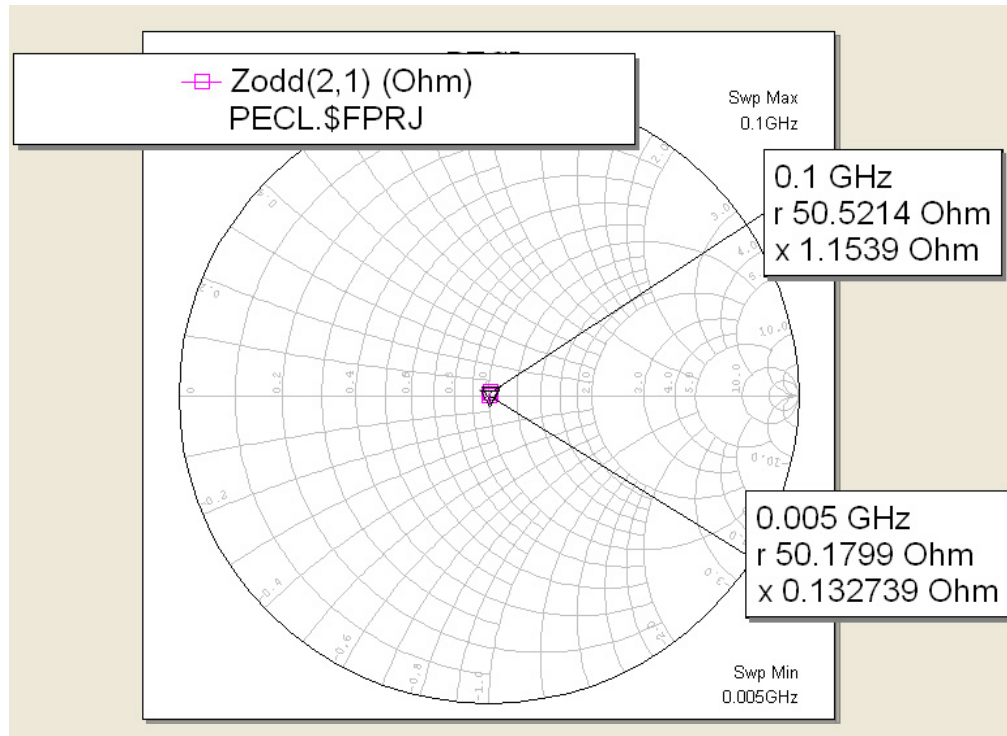
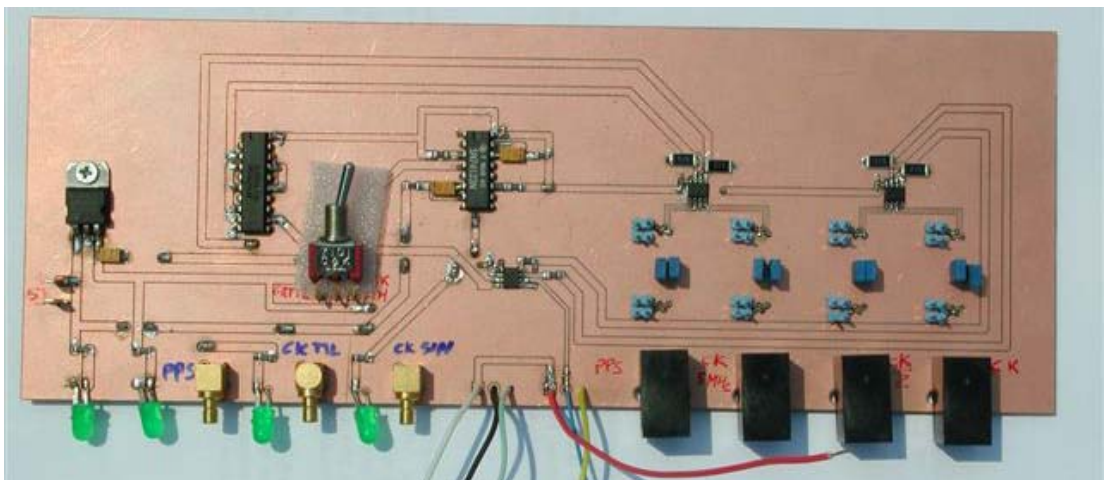


Figura 16: Impedenza dispari simulata per le due frequenze limite: 5Mhz e 100 Mhz

Ultimato il layout, si sono esportati i file in formato gerber per essere poi passati al software che gestisce la fresa. Riportiamo nelle **Figura 14 e 17** alcune foto della fresa durante la lavorazione e i due livelli della scheda finita. Il montaggio dei componenti è stato eseguito a mano.



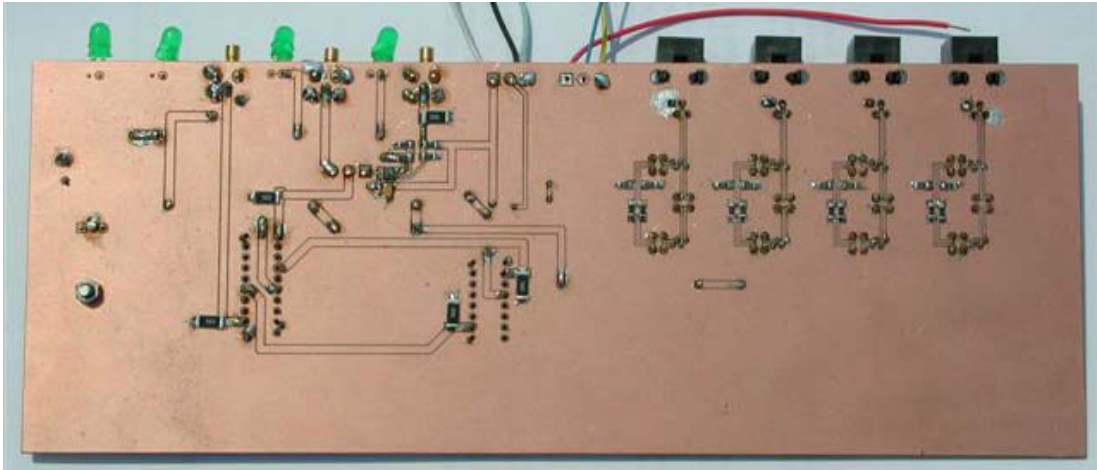


Figura 17: *Top e bottom* della scheda

CAPITOLO 3

MISURE

In questo capitolo si descriverà la verifica del funzionamento del sistema completo, avvenuta tramite misure di forma d'onda e livelli logici.

3.1 BANCO DI MISURA

Come si vede dalla **Figura 18** il banco di misura è costituito da un oscilloscopio (Le Croy LC534A) collegato al circuito sotto misura tramite sonde e ad un notebook per l'acquisizione dei dati tramite porta GPIB. Per testare la scheda si sono utilizzate due repliche locali del segnale di PPS e del CK TTL a 5 Mhz, mentre per avere la sorgente sinusoidale si è utilizzato il generatore di segnale 8648B della Hewlett Packard.



Figura 18: Banco di Misura

La scheda è stata alimentata con un alimentatore esterno dopo aver verificato il corretto funzionamento del circuito di alimentazione discusso al paragrafo 2.1. Si

è inoltre utilizzato un tester ISO-TECH IDM93N per verificare le tensioni e le correnti presenti sulla scheda e l'assenza di cortocircuiti.

Seguirà ora la presentazione dei grafici acquisiti per i vari segnali alle diverse sezioni del circuito per poi concludere con alcune osservazioni. Si noti che tutti i segnali all'ingresso dell'oscilloscopio sono stati accoppiati in alternata per avere una forma d'onda più precisa. Il loro valore in continua si è comunque verificato tramite tester, valutandone il corretto livello di tensione.

3.2 SEGNALI IN INGRESSO

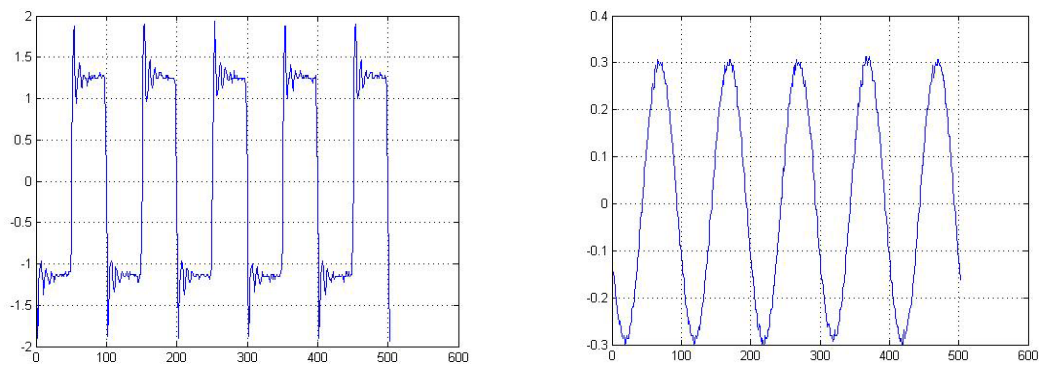


Figura 19: Segnali di Clock a 5 Mhz: TTL e sinusoidale.

In **Figura 19** sono riportati i segnali di clock in ingresso alla scheda. A sinistra vi è il clock in logica TTL, mentre a destra vi è il segnale di clock sinusoidale. Quest'ultimo è stato portato in ingresso con una potenza di 0 dBm. Entrambi i segnali hanno una frequenza di 5 MHz. Il PPS è stato omesso basti pensare che è un impulso ripetuto ogni secondo e di breve durata (400 ns).

3.3 SQUADRATORE

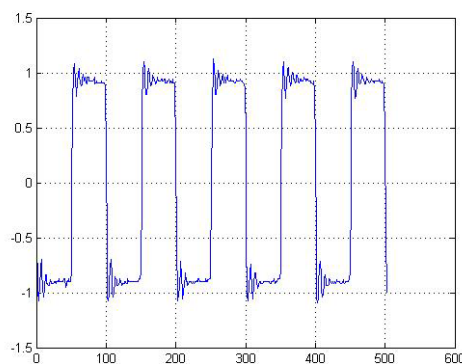


Figura 20: Segnale in uscita dallo squadratore

In **Figura 20** è riportato il segnale all'uscita dallo squadratore. Questo, come si nota, è compreso tra -1 e 1 V e quindi sfrutta tutta l'isteresi del componente, inoltre ha un andamento meno soggetto a ripple.

3.4 BUFFER

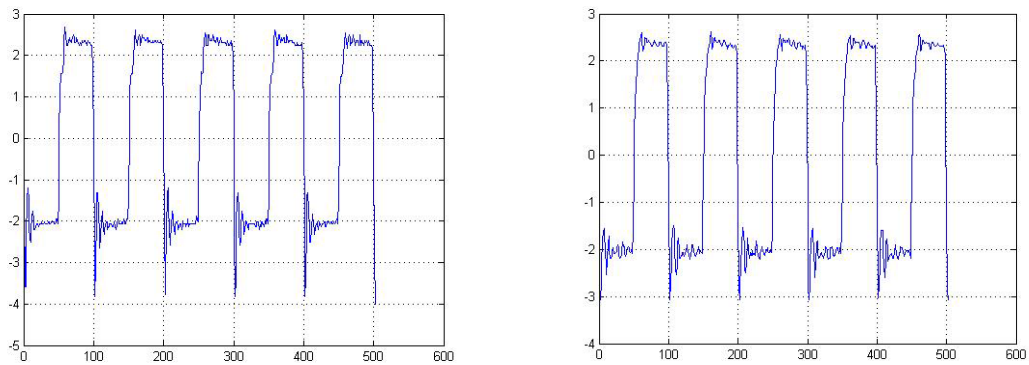


Figura 21: Segnali di CK in uscita dal buffer: sinusoidale squadrato e TTL

In **Figura 21** sono riportati i segnali in uscita dal Buffer ed in ingresso a U5. Nella figura di sinistra si vede il segnale che si ottiene quando, come ingresso per la scheda, mettiamo un'onda sinusoidale, mentre nella figura di destra è riportata l'uscita del buffer in presenza di un clock in ingresso già squadrato. Si ricorda che il tipo di ingresso viene selezionato con il commutatore SW3. Si nota come il segnale squadrato e bufferizzato sia maggiormente affetto da picchi rispetto a quello TTL, ma si tratta di differenze minime a volte anche dovute ai limiti delle sonde utilizzate. Sono apprezzabili i 4 Vpp di entrambi i segnali che coprono quindi l'intera dinamica della logica TTL. Anche in questo caso è stato omesso il segnale di PPS.

I medesimi segnali si trovano in ingresso al PLL il quale è stato pilotato attraverso i selettori SW1 e SW2 per avere tutte le configurazioni possibili fino ai 100 Mhz ($\times 20$ sull'uscita CK) secondo quanto già illustrato in **Tabella 2**.

3.5 PLL (CK e CK/2)

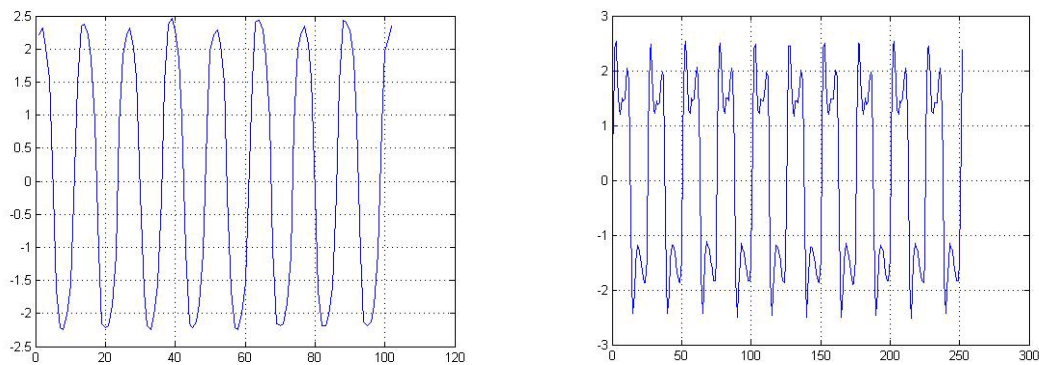


Figura 22: Segnali di clock in uscita dal PLL: CK e CK/2

In **Figura 22**, a sinistra, è riportato un CK a 40 Mhz ($\times 8$, ottenuto con la configurazione: SW1=0 e SW0=1), mentre a destra si nota l'uscita CK/2 a 20 Mhz ($\times 4$, SW1=0 e SW0=1). Anche se i due segnali sembrano avere lo stesso periodo bisogna considerare la diversa scala dei tempi: il CK/2 ha infatti una scala doppia rispetto al CK. Nota, infatti, la frequenza di campionamento e il numero di campioni si ottiene facilmente la frequenza dei segnali riportati.

3.6 TTL $\rightarrow$ PECL

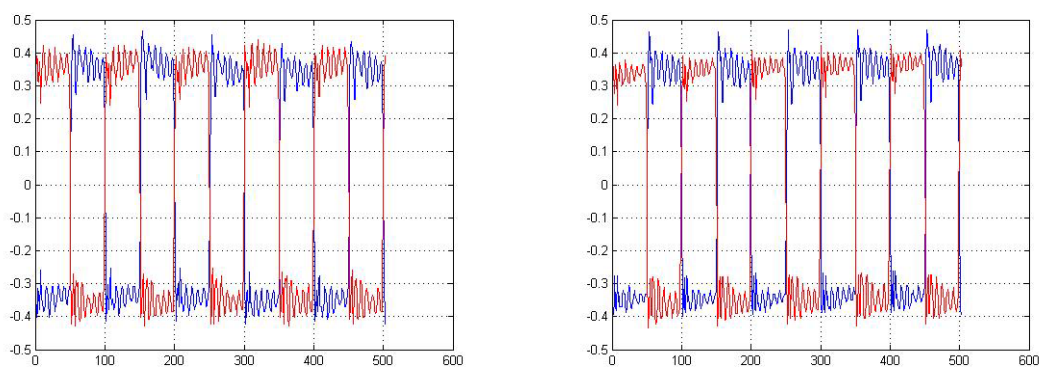


Figura 23: SCK in uscita dal traslatore U5: sinusoidale squadrato e TTL

In **Figura 23** sono riportati i segnali di clock PECL in uscita dal connettore J4, dopo aver collegato l'uscita stessa su un carico adattato. Per ottenere tali segnali si è utilizzata la seguente configurazione di jumper: J14 e J15 chiusi, J16, J17, J18 e J19 aperti, ottenendo così sul connettore J4 i segnali PECL provenienti direttamente dall'uscita di U5. Si apprezza qui la dinamica di 800 mVpp molto più ristretta di quella TTL con gli ovvi vantaggi illustrati nel paragrafo 1.1. Come

si nota dalla **Figura 23** la differenza fra i due segnali, sinusoidale squadrato a sinistra e TTL a destra, è pressoché nulla. La frequenza dei segnali è di 5 MHz come si voleva ottenere.

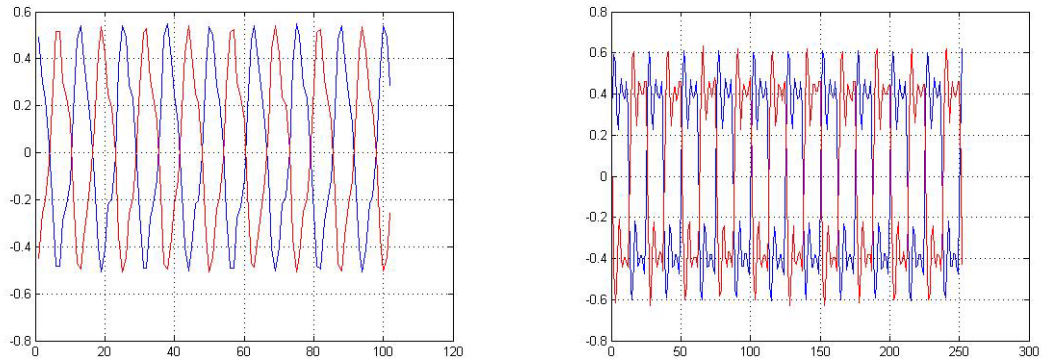


Figura 24: Segnali di CK in uscita dal traslatore U7: CK e CK/2

In **Figura 24** sono riportate le uscite dal traslatore U7 relative agli ingressi presentati nel paragrafo 3.5, quando i jumper posti sulle piste delle due uscite CK e CK/2 sono settati in modo analogo a quello già illustrato sopra per il simple clock. Si nota che la frequenza dei due segnali è una il doppio dell'altra (40MHz per CK e 20 MHz per CK/2).

3.7 SEGNALI IN USCITA LVDS

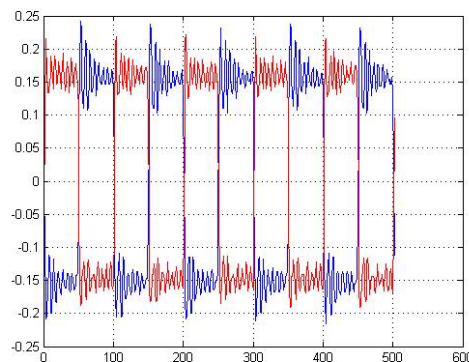


Figura 25: Segnale SCK in formato LVDS in uscita

In **Figura 25** è riportata l'uscita dal connettore J4 del segnale SCK in formato LVDS. Per ottenere tale forma d'onda si è utilizzata la seguente configurazione di jumper: J14 e J15 aperti, J16, J17, J18 e J19 chiusi, ottenendo così sul connettore J4 i segnali LVDS voluti. Si apprezza qui la dinamica di 300

mVpp, ancora più ristretta di quella PECL, con gli ulteriori ovvi vantaggi già menzionati nel corso di questa relazione. La frequenza del segnale è di 5MHz.

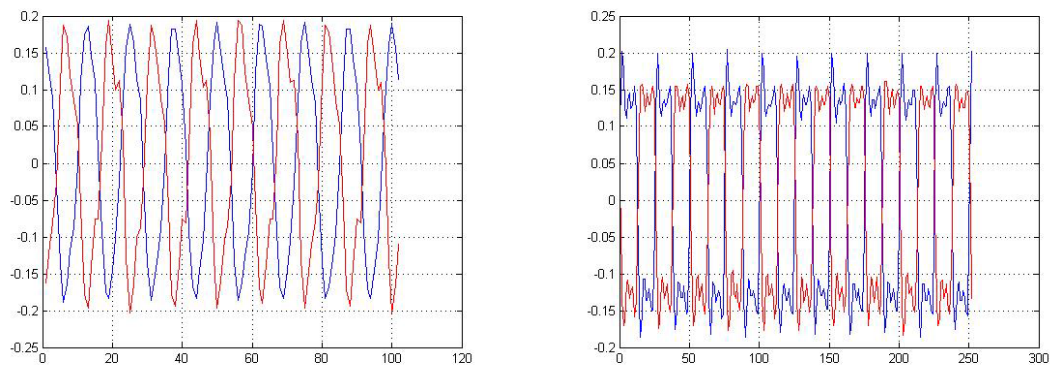


Figura 26: Segnali CK e CK/2 in formato LVDS in uscita

In **Figura 26** sono illustrate le forme d'onda in uscita dal connettore J5 e J6 (CK e CK/2 rispettivamente), relativi agli ingressi presentati nel paragrafo 3.6 nella seguente configurazione dei jumper: J20, J21, J26 e J27 aperti, J22, J23, J24, J25, J28, J29, J30 e J31 chiusi. Anche qui si noti la dinamica dei segnali estremamente ristretta (circa 300 mVpp) propria dei segnali LVDS come già è stato mostrato nel paragrafo 1.1.

3.8 SEGNALE PPS IN USCITA

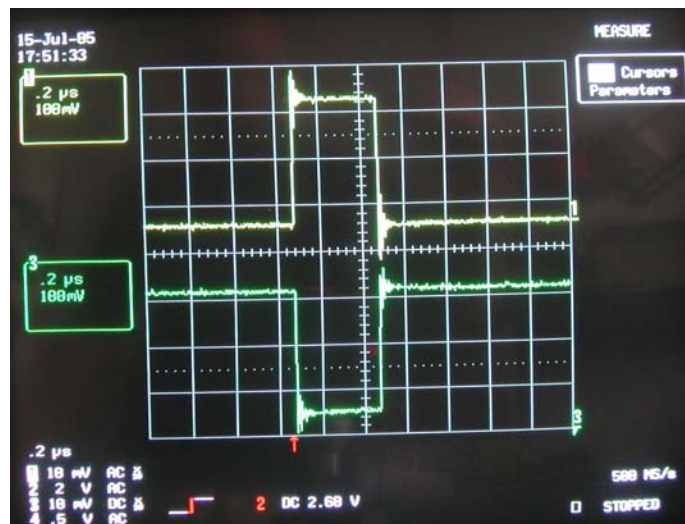


Figura 27: Segnale PPS in formato LVDS in uscita

Per quanto riguarda il segnale PPS si sono affrontate le stesse misure viste sopra per i vari segnali di clock. I livelli di tensione delle uscite PECL e LVDS sono risultate quelle attese. In **Figura 27** si nota un'immagine del segnale PPS in uscita in formato LVDS presa fotografando direttamente lo schermo

dell'oscilloscopio, in quanto era impossibile riuscire a scaricare i dati di un segnale così lento a causa di problemi di campionamento insiti nel banco di misura allestito. Si nota il PPS formato da una coppia di segnali differenziali e si nota il breve impulso di durata 400 ns, necessario per risincronizzare, ad ogni secondo, le varie schede di acquisizione dei segnali provenienti dalle antenne.

3.10 OSSERVAZIONI

- 1 Sono state omesse le misure dei segnali a frequenza maggiore di 40 Mhz poiché le misure eseguite erano fortemente influenzate dalle sonde a disposizione, inadatte a lavorare per frequenze elevate. Si sono adottate modifiche nelle sonde stesse (accorciamento del conduttore di massa collegato all'oscilloscopio) e questo ha permesso almeno di controllare la bontà dei segnali di uscita fino a 100 Mhz, verificando il corretto funzionamento della scheda fino a tali frequenze.
- 2 Durante le misure, il traslatore di livello U7 è stato fatto funzionare oltre i 100MHz, massima frequenza di lavoro (come da data sheet). In tali circostanze si è notato un forte aumento della temperatura del case del componente, che lo ha poi portato alla successiva rottura. Per tali motivi è ragionevole utilizzare, come traslatori di livello, due integrati separati, in modo tale che le frequenze di lavoro dei dispositivi siano più facilmente controllabili vietando, per esempio, certi fattori moltiplicativi del PLL. Nel nostro caso ciò non è stato possibile perché nei due canali del chip **MC10ELT22D** le frequenze erano condizionatamente sempre una doppia dell'altra. Si potrebbe anche arrivare a prevedere due PLL diversi che vadano a comandare due traslatori di livello separati, ma questo è argomento per revisioni future. In ogni modo, facendo lavorare i due chip separatamente, la temperatura sugli stessi sarà sicuramente più contenuta, garantendo una maggior affidabilità degli integrati.
- 3 Va ricordato, ad onore del vero, che le piste di segnale, per un disguido sul processo litografico, sono state realizzate di 700 μm più larghe del dovuto, ma durante la fase di misura ciò non ha portato ad evidenti problemi. Anche questo sarà comunque un problema da sistemare in una futura revisione della scheda.

CONCLUSIONI

La scheda realizzata ha soddisfatto le specifiche di progetto richieste e verrà quindi montata in un rack per la rigenerazione e la distribuzione dei segnali di sincronismo all'interno della stanza nella quale vengono ricevuti i segnali radioastronomici alla stazione di Medicina.

Tale risultato si è ottenuto partendo da una fase di studio teorico del progetto fino ad arrivare, tramite software specifici già citati all'interno della relazione, al disegno ed alla successiva realizzazione della scheda. Durante la fase di misure si sono poi apportate modifiche al disegno iniziale per migliorare le prestazioni della scheda (eliminazione di resistenze di terminazione) e si è verificato che i traslatori di livello scaldavano notevolmente quando lavoravano ad alte frequenze; perciò è consigliato prendere precauzioni onde evitare la rottura di tali componenti (per esempio si potrebbero montare alette di raffreddamento o inserire traslatori ad un solo canale per chip).

La scheda ha nel pannello frontale del rack diversi led di segnalazione, tramite i quali è possibile controllare la presenza delle alimentazioni e dei segnali in ingresso, nonché è possibile scegliere tra due diversi tipi di segnale di clock in ingresso (sinusoidale o TTL) tramite appositi selettori di comando. All'uscita è possibile ottenere tre riferimenti di clock di cui due a frequenze l'una il doppio dell'altra e multiple del segnale in ingresso fino ad un massimo di 100 Mhz, mentre il terzo si trova, insieme al segnale di PPS, traslato e rigenerato. Ogni segnale in uscita può essere prelevato indipendentemente in logica PECL o LVDS settando opportunamente una serie di jumper.

Dal punto di vista personale l'attività di progettazione ha portato ad una maggiore comprensione delle tematiche relative alla realizzazione di un circuito elettronico e mi ha dato l'opportunità di familiarizzare con i vari software che sono stati necessari per il completamento delle diverse fasi del progetto.

Il lavoro effettivamente realizzato, pur mantenendo le caratteristiche di un prototipo, è risultato utile alla stazione radioastronomica di Medicina. Il buon esito dell'attività di tirocinio svolta è stata un'occasione di arricchimento, non solo dal punto di vista professionale e accademico, ma anche dal punto di vista umano.

BIBLIOGRAFIA

- [1] Motorola, AN1405
"ECL Clock Distribution Techniques"
Prepared by Todd Pearson

- [2] ON Semiconductor
"Interfacing Between LVDS and ECL"
Prepared by Paul Lee

- [3] Rapporto interno IRA-CNR n° 343/03
"Digital receivers: Sync. and PPS distribution"
G. Bianchi, A. Maccaferri, F. Caprio, S. Montebugnoli

- [4] Giornale di astronomia vol. 3 – n. 3 settembre 1977
"Il radiotelescopio Croce del Nord"
A. Ficarra, E. Gandolfi, F. Perugini

- [5] Esculapio-Progetto Leonardo 2002
"Propagazione elettromagnetica guidata" parte prima e seconda
V. Rizzoli, A. Lipparini