

Università degli studi di Bologna

Facoltà di Ingegneria
Corso di Laurea in Ingegneria delle Telecomunicazioni
Relazione Finale Tirocinio

**PROGETTO DI UNA SCHEDA PROTOTIPO
PER LA DISTRIBUZIONE DEI SEGNALI DI
SINCRONISMO PER ANTENNE IN SCHIERE
DI GRANDI DIMENSIONI**

Relazione di:
FAVA CRISTIAN

Ottobre-Dicembre 2003

Anno Accademico 2003/2004

*Desidero ringraziare sentitamente tutto il personale dell'istituto
di radioastronomia di Medicina.*

In collaborazione con:

Consiglio Nazionale delle Ricerche



ISTITUTO DI RADIOASTRONOMIA
di MEDICINA

Università degli studi di Bologna
Facoltà di Ingegneria

Indice

1. Introduzione.....	6
2. Progetto scheda di sincronismo.....	15
2.1. Clock e PPS.....	18
2.2. Il ricevitore digitale.....	23
2.3. Realizzazione della scheda prototipo.....	26
2.3.1. Caratteristiche del collegamento e ricerca di mercato.....	27
2.3.2. Schematico e scelte progettuali.....	33
3. Conclusioni.....	73
Appendice (application note).....	75

Bibliografia

1. Introduzione

Lo scopo di questo tirocinio, svolto presso l'osservatorio di radioastronomia del Consiglio Nazionale delle Ricerche (C.N.R.) situato a Medicina (Bologna), mostrato in figura 1.1, è lo studio e la progettazione di una scheda prototipo nell'ambito dello sviluppo del sistema di distribuzione dei segnali di sincronismo per schiere di antenne di grandi dimensioni ad uso radioastronomico. Tale scheda è stata realizzata in previsione di una sua disposizione sia all'interno delle cabine in muratura poste vicino alla schiera di antenne chiamata "Croce del Nord", sia all'interno della stanza di elaborazione (stanza del ricevitore) situata all'interno dell'edificio centrale della stazione astronomica; questo perché, come vedremo più in dettaglio in seguito, si vuole trasmettere i segnali di sincronismo (Clock e PPS) sia dalla sala di elaborazione verso le cabine sia lungo il percorso inverso, così da poter monitorare l'intero sistema. L'obiettivo iniziale doveva essere quello di realizzare una scheda, da disporre all'interno delle cabine, che distribuisse i segnali di sincronismo ai ricevitori digitali dell'array di antenne (anch'essi posti in cabina); per distribuire i segnali dalla stanza del ricevitore alle cabine si sarebbero poi utilizzate vecchie soluzioni implementate già con successo. Si è poi deciso, per diversi motivi quali la riutilizzabilità del progetto in ambito SKA, la minor spesa e la praticità della nuova soluzione, di progettare un'unica scheda; tale scheda prototipo doveva disporre sia di una parte per la trasmissione dei segnali di sincronismo sia di una parte di ricezione, funzionanti con disposizioni differenti a seconda del sito (stanza del ricevitore o cabine) in cui sarà fatta operare:

- Nelle cabine, la parte di ricezione servirà per ricevere i segnali di sincronismo e distribuirli ai ricevitori digitali. La parte di trasmissione, invece, rimanderà i segnali di sincronismo ricevuti, alla stanza del ricevitore posta nell'edificio centrale. Ciò permetterà la verifica delle funzionalità dei segnali stessi;
- Nella stanza del ricevitore, l'unità di trasmissione invierà i segnali di sincronismo alle cabine poste alla base dell'antenna, mentre l'unità di ricezione, acquisirà i segnali di ritorno dalle cabine per permettere il monitoraggio del sistema (come citato al punto precedente).

Quindi la scheda prototipo dovrà essere in grado di svolgere molteplici funzioni a seconda del suo impiego. Essa sarà fornita anche di una serie di dispositivi di segnalazione che aiuteranno l'operatore nel monitoraggio del sistema, alla ricerca di eventuali guasti o malfunzionamenti.

Per capire l'importanza del progetto realizzato e dell'ambiente di lavoro in cui si colloca, è necessario fornire alcune nozioni di base sul funzionamento di un radiotelescopio, in modo da comprendere sia la terminologia che sarà utilizzata in seguito, sia le motivazioni che hanno spinto allo sviluppo di un sistema di questo tipo.

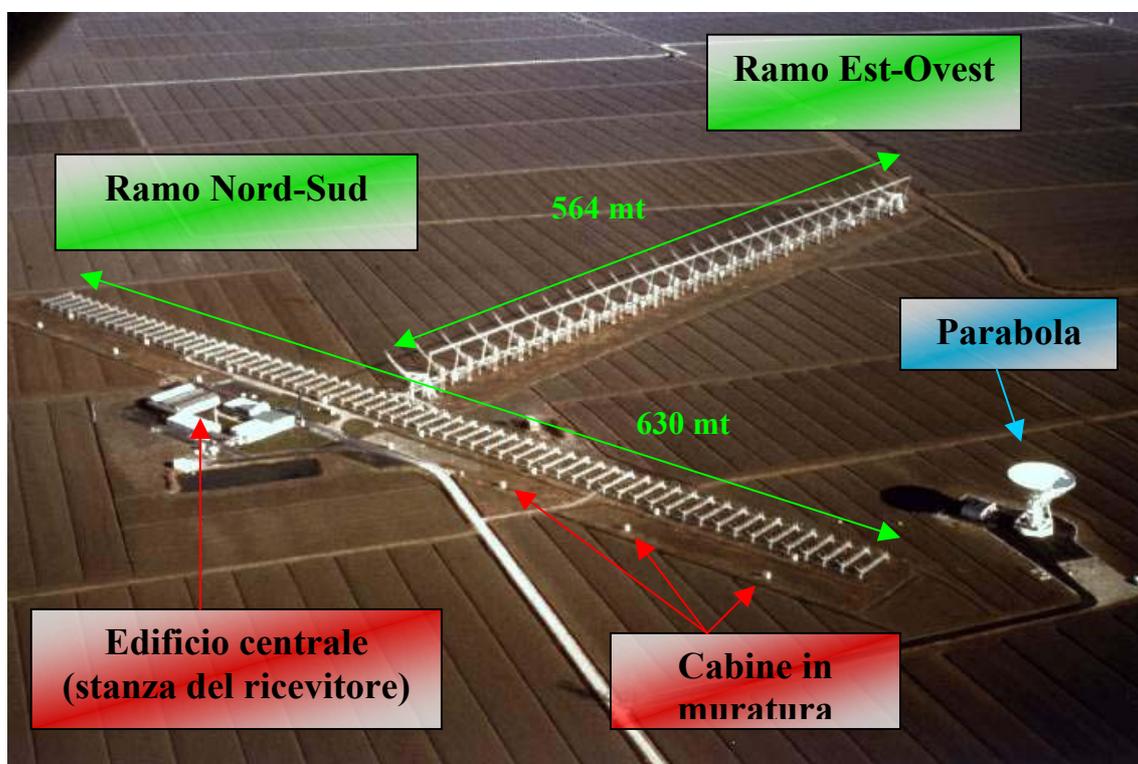


Figura 1.1: Veduta aerea dell'istituto di Radioastronomia di Medicina (BO) (IRA-CNR)

Presso la stazione astronomica esistono due grandi radiotelescopi: la "Croce del Nord" ed un'antenna parabolica; in particolare, il radiotelescopio "Croce del Nord" (per il quale si è svolto il lavoro presentato in questa relazione e di cui daremo una descrizione più dettagliata in seguito) risulta essere il più grande interferometro a bassa frequenza (408 MHz) presente nell'emisfero nord; esso si compone di una serie di cilindri parabolici disposti lungo due bracci trasversali (fra loro

perpendicolari) rispettivamente in direzione Est-Ovest (E-O) e Nord-Sud (N-S). Un radiotelescopio è uno strumento che riceve le emissioni elettromagnetiche da parte delle sorgenti astronomiche nello spettro delle onde radio, ovvero le emissioni radio con lunghezza d'onda compresa tra qualche centimetro a qualche decina di metri (funzionamento analogo a quello di un comune telescopio ottico che riceve le emissioni elettromagnetiche da parte di sorgenti astronomiche nel campo del visibile, cioè a lunghezze d'onda comprese fra $0.4\mu\text{m} \div 0.7\mu\text{m}$). Per capire meglio, la figura 1.2 mostra come la finestra ottica e banda radio abbiano una buona trasparenza nei confronti dell'atmosfera.

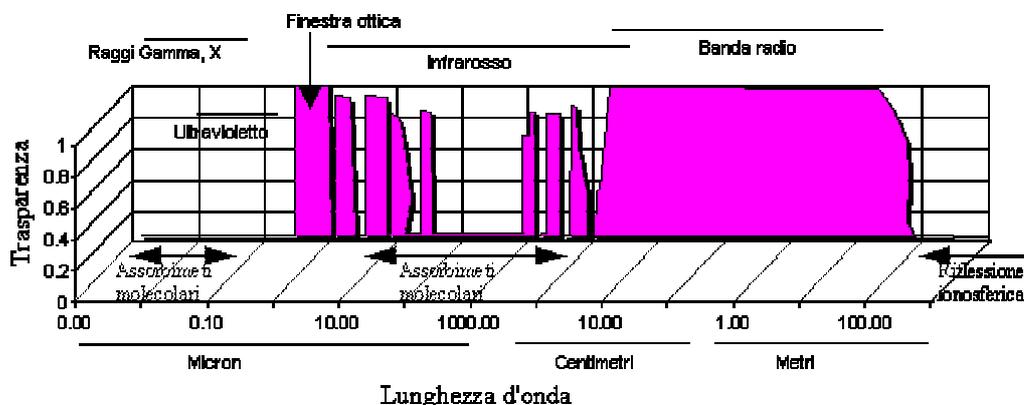


Figura 1.2: Diagramma della trasparenza atmosferica in funzione della lunghezza d'onda.

Questo permette ai due strumenti (radiotelescopio e telescopio ottico) di operare nel range di frequenze ottimale per il livello di trasparenza atmosferica, in più risulta esserci una complementarità fra i due strumenti che all'inizio del XX secolo non era pensabile. I radiotelescopi hanno due vantaggi rispetto i telescopi ottici:

- Il segnale ricevuto risente meno dei movimenti e delle turbolenze dell'atmosfera, le quali vanno invece a disturbare l'osservazione nella banda ottica;
- Le lunghezze d'onda a cui operano, superiori a quelle ottiche, consentono la costruzione di specchi di superficie maggiore, essendo meno stringente il vincolo sull'accuratezza della superficie stessa, però con risoluzione nettamente inferiore (ecco perché l'interferometria non ha assunto un ruolo rilevante nel campo dell'ottica).

La scoperta delle emissioni radio da parte di sorgenti astronomiche (corpi celesti) risale agli anni '30 grazie a Karl Jansky (all'epoca ricercatore presso i Bell Telephone Laboratories di Holmdel, NJ) il quale costruì un'apparecchiatura (una sorta di schiera ad otto antenne) in grado di rilevare i segnali che interferivano sulle comunicazioni radio; solo allora, dopo essersi resi conto che tali segnali interferenti potevano provenire da radio sorgenti astronomiche, sono cominciati gli studi a frequenze diverse da quelle ottiche. I vantaggi in tal senso sono stati enormi, per esempio si poteva studiare il cielo anche di giorno senza risentire delle condizioni atmosferiche, con l'unico svantaggio di avere un minore potere risolutivo degli apparecchi a parità di superficie ricevente (ciò è causato dalla maggiore lunghezza d'onda delle onde radio), potendo così anche classificare i corpi celesti in base alla gamma di emissioni prodotte; il confronto fra cataloghi di oggetti osservati a frequenze diverse ha permesso di separare le radiosorgenti (qualsiasi oggetto cosmico in grado di emettere onde radio) in classi spettrali diverse distinguendo anche diversi meccanismi di emissione. Nell'ambito della descrizione di un radiotelescopio e del suo funzionamento dovremo tener conto di alcune grandezze fondamentali quali la *sensibilità*, la *risoluzione (o potere risolutore)* e la *perdita di coerenza*:

Sensibilità: la minima intensità rilevabile dallo strumento (può anche essere interpretata come la minima variazione di potenza rilevabile) e rappresenta la "reattività" di un radiotelescopio nei confronti di debolissime e/o lontanissime radiosorgenti;

Risoluzione (o potere risolutore): la minima distanza angolare alla quale due sorgenti devono trovarsi per poter essere distinte (ovvero per non essere rilevate dallo strumento come un'unica);

Perdita di coerenza: presente nel caso di schiera di antenne, ed identifica una perdita dello strumento dovuta al ritardo con il quale il fronte d'onda incide sulle diverse antenne della schiera (questa è la grandezza che più ci ha interessato nell'ottica di ciò che abbiamo progettato).

La sensibilità è strettamente legata all'area collettrice della schiera di antenne che si utilizza, ovvero alla superficie di raccolta (m^2) della radiazione elettromagnetica, mentre la risoluzione è legata all'apertura in

gradi del fascio dell'antenna, il quale è a sua volta legato alle dimensioni della schiera, cioè al diametro (mt) dello specchio riflettente ed alla frequenza di lavoro; si veda d'esempio la figura 1.3 che metta in evidenza un'antenna parabolica (in particolare mostra l'antenna parabolica VLBI presente all'Istituto di Radioastronomia di Medicina), con una certa area efficace, la quale non è in grado di distinguere due radiosorgenti distanti un angolo minore di φ .

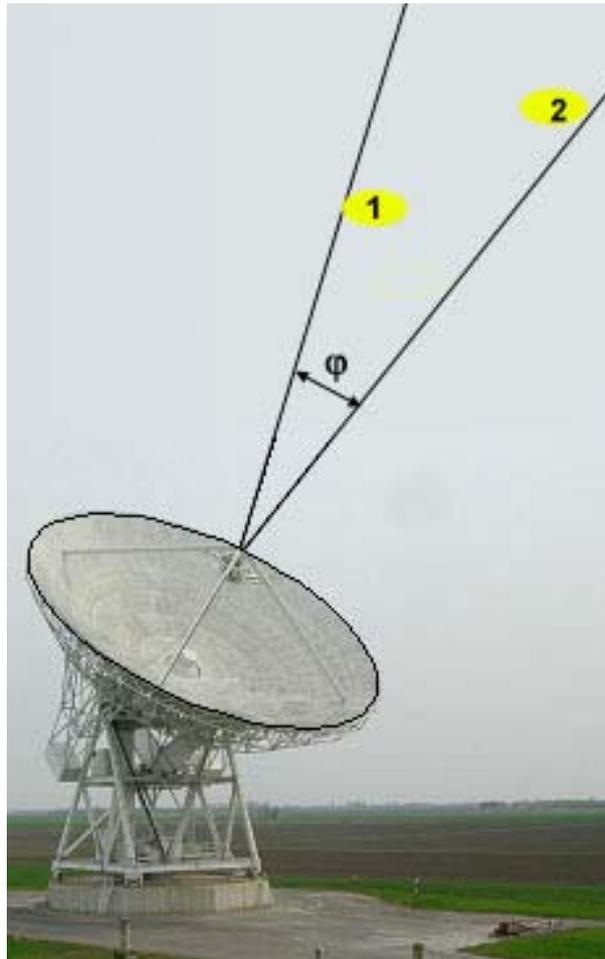


Figura 1.3: Antenna parabolica con bassa risoluzione.

Per avere una risoluzione migliore, quindi un angolo φ ancora minore, bisognerebbe avere un'antenna con un diametro maggiore (vedi figura 1.4) oppure far lavorare lo strumento a frequenze più elevate, e si capisce che entrambe le soluzioni sono difficili da realizzare a causa di una serie di problematiche.

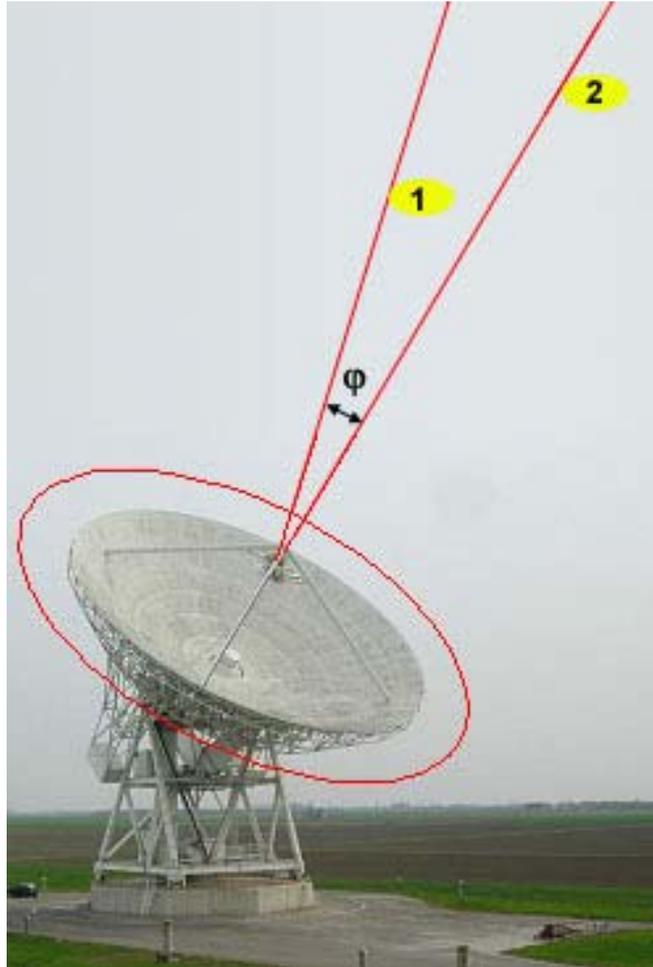


Figura 1.4: Antenna parabolica di Figura 1.3 con diametro ipoteticamente maggiore per ottenere una migliore risoluzione.

In particolare $\varphi=57.3/D_\lambda$, cioè l'angolo di apertura del fascio espresso in gradi, è dato dal rapporto fra 57.3 ed il diametro dell'antenna misurato in lunghezze d'onda; aumentando il diametro dello specchio, D_λ aumenta, per cui φ diminuisce ed il sistema risulta essere più direttivo, riuscendo in tal modo a distinguere due radiosorgenti molto vicine. Come già accennato, operando in questo modo andiamo però incontro ad una serie di inconvenienti, in primis i limiti meccanici dovuti all'aumento delle dimensioni di una singola antenna. Per tale motivo, al posto di un'unica antenna, conviene utilizzare più elementi singoli di dimensioni molto più contenute, poste ad una distanza equivalente al diametro che avrebbe un'unica grande antenna (questo si riesce ad ottenere sfruttando una nota legge dell'ottica); più lontani sono posti gli elementi riceventi e più stretto sarà il fascio di antenna risultante. E' seguendo questa ottica che già alla

fine degli anni '70, si concepirono le reti di radiotelescopi quali la *VLBI* europea di figura 1.5 (*Very Long Baseline Interferometry*) e la *VLBA* americana (*Very Long Baseline Interferometry*). Osservando in maniera sincrona con tutti gli elementi della rete la stessa sorgente nel cielo, si può ricostruire una “immagine radio” contenente gli stessi dettagli che avremmo ottenuto osservandola con un ipotetico radiotelescopio “pieno” di diametro pari all'estensione della rete stessa; quindi le reti di radiotelescopi hanno risolto il problema dell'aumento della risoluzione dando così la possibilità di studiare in modo dettagliato le radiogalassie più distanti. In queste tipologie di reti di radiotelescopi, la superficie complessiva risulta essere la somma delle superfici dei singoli radiotelescopi, mentre la sensibilità è data dalla media geometrica delle singole sensibilità dei vari radiotelescopi, perciò all'elevato potere risolutore (risoluzione) spaziale si affianca una bassa sensibilità. Alla risoluzione di tali problemi (aumento di risoluzione e di sensibilità) si sta rivolgendo anche il progetto SKA, al quale la stazione Radio Astronomica di Medicina sta lavorando, ed in funzione del quale si è svolto il tirocinio.

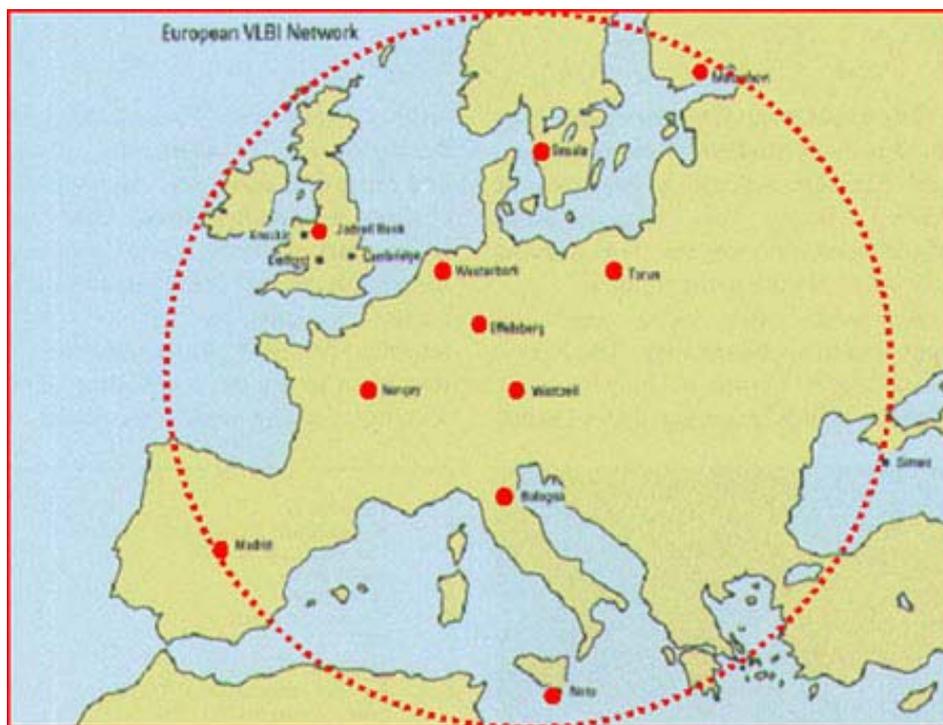


Figura 1.5: Rappresentazione schematica dell'attuale rete VLBI europea.

Un Il progetto SKA (*Square Kilometre Array*) è nato con l'idea di aumentare l'area collettiva complessiva fino a circa un milione di metri quadrati, e ciò sarà fatto dislocando, in un'area molto vasta, varie antenne di dimensioni paragonabili a quelle della Croce del Nord di Medicina. In tal modo si andrà ad incrementare notevolmente la sensibilità dell'antenna, ma anche la risoluzione della stessa. Tale prospettiva è di gran successo, visto anche l'enorme interesse ed appoggio mostrato nello sviluppo di tale soluzione da parte di molti istituti di ricerca in tutto il mondo (Italia, Stati Uniti, Olanda, Australia, Gran Bretagna, Cina e Canada per citare i principali). Lo sviluppo di questo progetto e delle tecnologie porterà alla realizzazione di strumenti aventi una risoluzione paragonabile o maggiore a quella delle attuali reti VLBI, ma con un notevole aumento della sensibilità. Sono già alcuni anni che i maggiori istituti di ricerca sopra citati si stanno adoperando per trovare le migliori soluzioni da adottare; un punto fondamentale della discussione risulta essere il tipo di sensori (antenne) più adatto allo scopo e ad oggi le soluzioni proposte da ogni istituto sono diverse: piccole antenne paraboliche, phased array piatti, lenti sferiche (di Luneburg) e antenne cilindrico-paraboliche (come la "Croce del Nord"). aspetto importante, di cui tenere in considerazione quando abbiamo a che fare con schiere di antenne e su cui abbiamo improntato lo studio del lavoro svolto in questo tirocinio, è il ritardo con cui ogni antenna riceve il segnale astronomico rispetto a tutte le altre antenne della schiera. Detto questo, è evidente che risulta di fondamentale importanza la giusta calibrazione dei ritardi affinché non si abbiano errori che portino ad eventuali perdite di guadagno indesiderate con conseguente riduzione della sensibilità dello strumento (e abbiamo visto qual è l'importanza di un'elevata sensibilità da parte del radiotelescopio). Questo fenomeno viene rappresentato da un parametro che è la *perdita di coerenza*; questo parametro dipende dalla banda del segnale radioastronomico ricevuto e dal ritardo con cui il suo fronte d'onda incide sulle antenne della schiera. Un semplice esempio è rappresentato in figura 1.6 che mostra due antenne che potrebbero essere due antenne di una schiera. Se il fronte d'onda incide perpendicolarmente all'asse della schiera, quindi arriva nel medesimo istante a tutte le antenne della schiera, non ci sarà da compensare alcun ritardo e ogni antenna acquisirà allo stesso istante il medesimo segnale. Se diversamente il fronte d'onda incide in modo non perpendicolare all'asse della schiera ma inclinato di un angolo δ qualsiasi (vedi figura 1.6), allora è necessaria la disposizione di un circuito che introduca un ritardo variabile,

dipendente dall'inclinazione del fronte d'onda, sui singoli segnali ricevuti da ogni antenna della schiera.

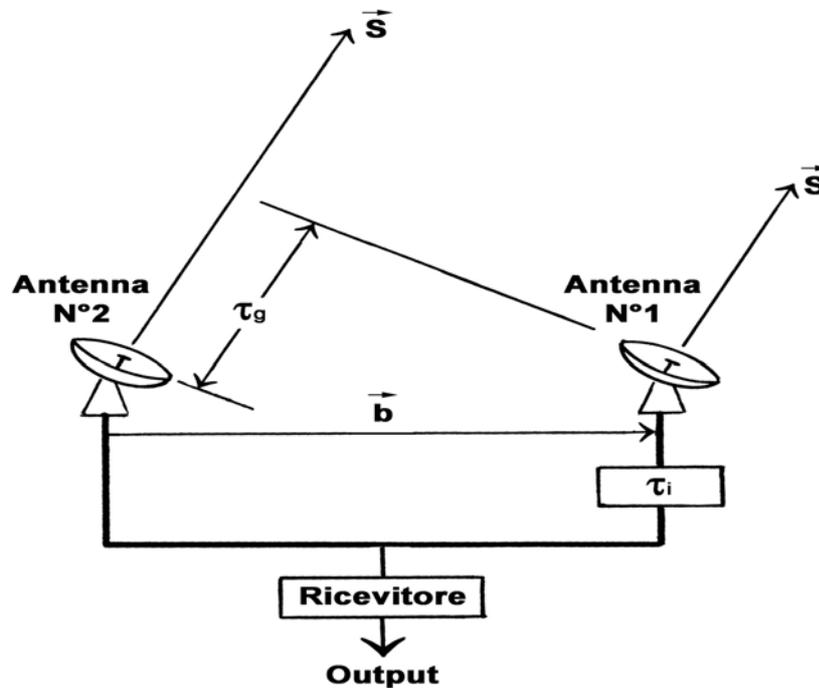


Figura 1.6: Rappresentazione del fronte d'onda inclinato incidente sulle antenne

Dobbiamo sottolineare che problemi di questo tipo si presentano ogni qualvolta abbiamo a che fare con schiere di antenne, soprattutto se di grandi dimensioni come la “Croce del Nord” su cui stiamo lavorando. Tale problema diventa critico quando si considerano bande molto ampie e tempi di ritardo elevati dovuti alla grande distanza fra le varie antenne della schiera, così come accade nel caso del VLBI o del progetto *SKA*. Quindi si capisce bene l'importanza, in particolar modo in strutture di grandi dimensioni, di massimizzare la precisione con cui distribuire tutti i segnali comuni alle singole antenne dell'intera schiera. In particolare occorre far sì che tutti i segnali (sia quelli ricevuti e destinati alla stanza di elaborazione, sia quelli destinati alle antenne) siano resi il più possibile sincroni e non siano affetti da ritardi o da disturbi indesiderati di altro tipo. Lo studio e la progettazione di un dispositivo in grado di soddisfare queste esigenze sono stati gli obiettivi del lavoro svolto durante questo periodo di tirocinio presso l'osservatorio radioastronomico di Medicina.

2. Progetto scheda di sincronismo

L'obiettivo del lavoro, svolto durante il periodo di tirocinio presso l'istituto di radioastronomia di Medicina, è stato, come anticipato nell'introduzione, lo studio e la progettazione di una scheda prototipo nell'ambito del sistema di distribuzione dei segnali di sincronismo. La scheda di distribuzione del sincronismo rientra nel progetto di una nuova discesa di antenna per il trasferimento dei segnali ricevuti dalla "Croce del Nord" alla stanza di elaborazione dati; lo schema dell'intera catena che porta il segnale radioastronomico dall'array di antenne alla stanza del ricevitore è visualizzato in figura 2.1. La funzione del sistema di distribuzione del sincronismo (blocchi colorati in verde nella stessa figura 2.1) è quindi quella di generare e distribuire due segnali indispensabili per il corretto funzionamento dei ricevitori digitali posti a valle dei front end, ed in particolare dei dispositivi quali gli *ADC (Analogic to Digital Converter)* e i *DDC (Digital Down Converter)*. Tale sistema, peraltro necessario in ambito SKA e mostrato in figura 2.2, prevede che i due segnali, prima generati in sala di elaborazione utilizzando soluzioni già precedentemente implementate con successo, siano: il segnale di **Clock (CK)** e quello di **PPS (Pulse Per Second)**. Il primo è il normale clock utilizzato per la sincronizzazione di tutti i sistemi digitali, mentre il secondo è un segnale aggiuntivo usato come ulteriore marca temporale. Entrambi i segnali sono digitali; la distruzione del sincronismo analogico non ci ha riguardato in quanto già realizzata con successo tramite oscillatori locali.

La trasmissione dei segnali di CK e PPS è una operazione molto critica per l'intero sistema di acquisizione del segnale radioastronomico, perché una minima differenza nei fronti d'onda di salita dei clock, significa andare a campionare fronti d'onda diversi e quindi si andrebbero a sommare segnali non coerenti; è quindi molto importante che i ricevitori digitali installati sulle antenne abbiano istanti di campionamento sincroni fra loro, in modo da recuperare correttamente lo stesso segnale radioastronomico che viene ricevuto dalle varie antenne dell'array. In questo modo sarà possibile acquisire i vari campioni in modo sincrono, per poi sommarli coerentemente con gli altri campioni dello stesso fronte d'onda. Sulla realizzazione della distribuzione del sincronismo si è quindi concentrato il nostro lavoro. L'obiettivo principale è stato lo studio e la

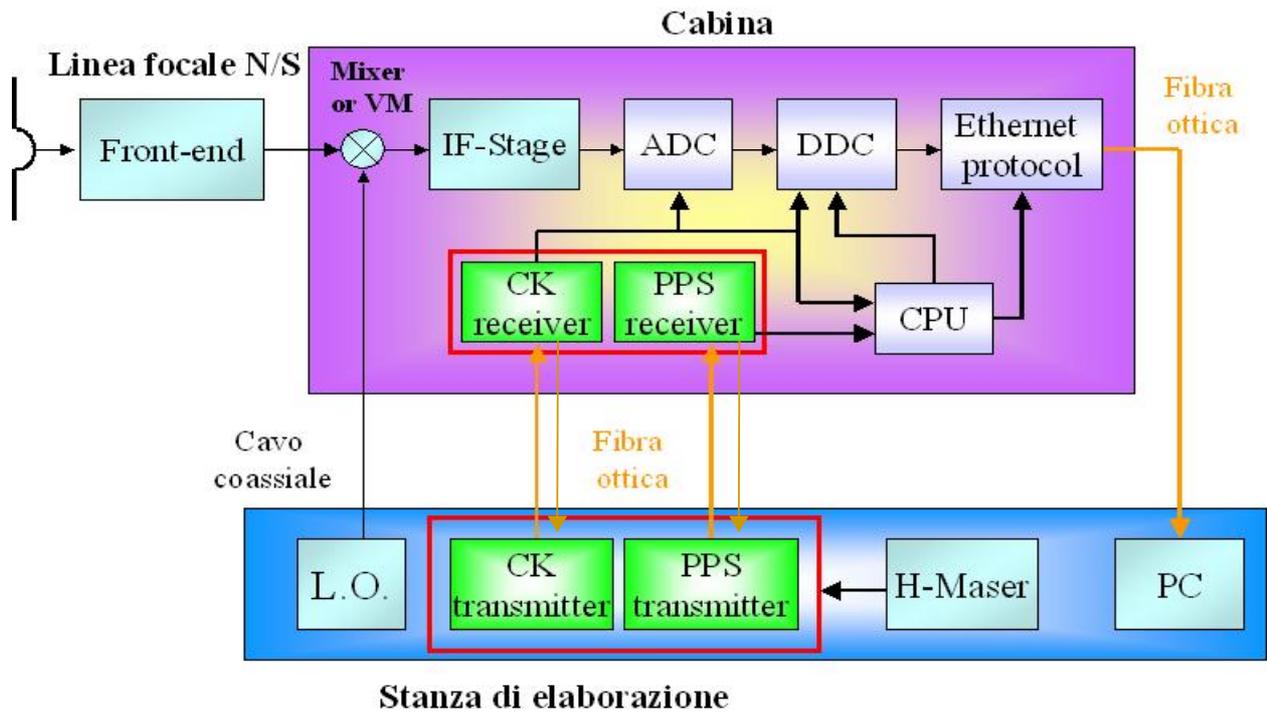


Figura 2.1: Schema a blocchi della discesa di antenna per il trasferimento dei dati alla stanza del ricevitore, nell'ambito del progetto BEST

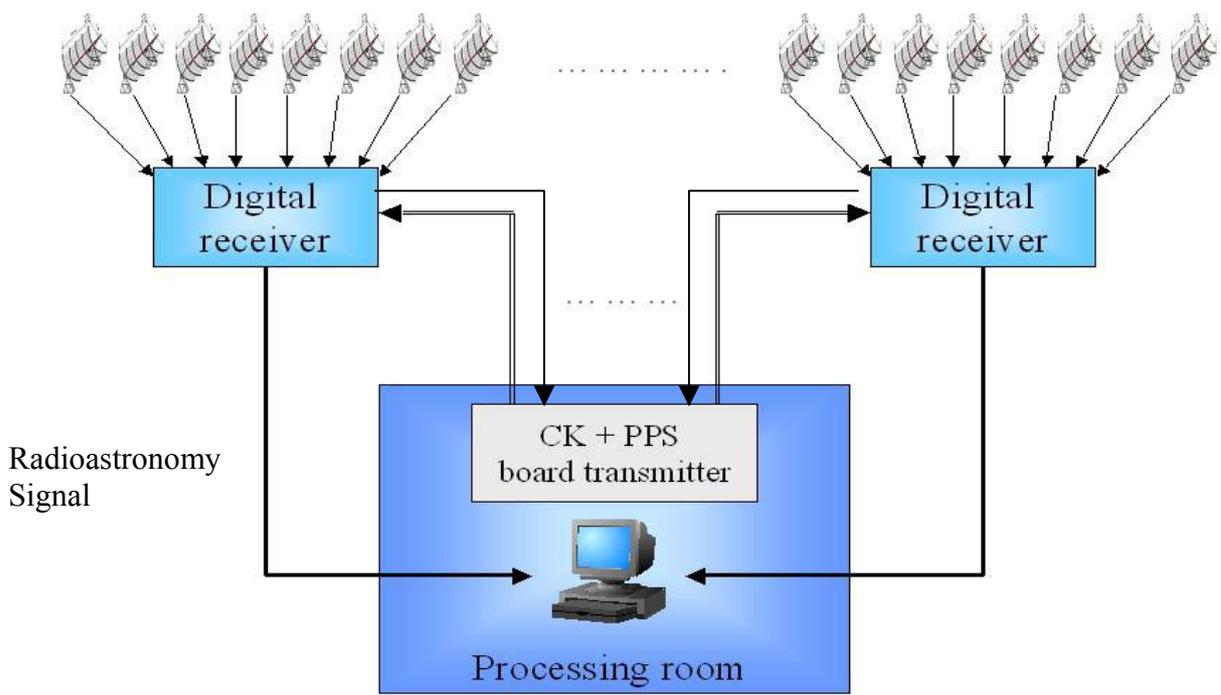


Figura 2.2: Schema di distribuzione dei segnali di sincronismo (CK e PPS) sull'intera "Croce del Nord"

progettazione di una scheda prototipo che soddisfacesse le esigenze e le specifiche di cui sopra. Tale scheda è stata studiata sia per la trasmissione sia per la ricezione, quindi progettata sia per essere posta all'interno della stanza del ricevitore, sia nelle cabine in muratura disposte lungo i rami della "Croce". La stessa scheda verrà fatta operare in entrambe le situazioni con funzioni differenti:

- nella stanza del ricevitore si occuperà principalmente della trasmissione dei segnali di sincronismo tramite fibra ottica (ogni fibra raggiungerà una diversa cabina). La parte di ricezione si occuperà invece di acquisire i segnali di CK e PPS di ritorno dalle cabine, e questo allo scopo di verificarne la corretta funzionalità (mancanza di segnale, impulsi mancanti, ecc...);
- nelle cabine la scheda riceverà i due segnali (CK e PPS) separatamente, e li distribuirà ai ricevitori digitali posti all'interno della cabina stessa. Per controllare e monitorare il sistema, la scheda, tramite la sua parte di trasmissione, rimanderà i segnali ricevuti di CK e PPS alla scheda posta nella stanza di elaborazione;

in questo modo, restando all'interno dell'edificio centrale, potremo monitorare l'intero sistema aiutandoci con la visualizzazione dei segnali trasmessi e ricevuti (in entrambe le situazioni) mediante l'utilizzo di dispositivi quali led e oscilloscopi. La realizzazione di questa scheda è stato un ulteriore passo in avanti fatto nella direzione delle miglione da apportare all'intero sistema nell'ambito SKA. La soluzione iniziale prevedeva due schede distinte, una per la trasmissione ed una per la ricezione, da porre l'una nella stanza del ricevitore e l'altra nelle cabine. Per motivi soprattutto economici e pratici si è deciso poi di progettare un'unica scheda che svolgesse ambo le funzionalità; sicuramente un progetto di questo tipo sarà di più difficile realizzazione pratica, ma una volta portato a termine riuscirà a soddisfare varie esigenze. Si deve tenere in considerazione che lo studio, come le prove che saranno effettuate in seguito, è stato fatto nello stesso ambiente nel quale sarà operativo il sistema reale, utilizzando gli stessi segnali che utilizzerà il sistema finale. Nell'ambito dell'up-grade della "Croce" in prospettiva SKA, un ruolo importante è giocato dai link in fibra ottica che dovranno essere installati al posto dei cavi coassiali, e che fondamentali sono stati nello studio, nel

progetto e nella scelta dei dispositivi della nostra scheda. I vantaggi che ne derivano sono notevolissimi:

- perdite ridottissime, praticamente trascurabili;
- insensibilità assoluta alle interferenze elettromagnetiche esterne;
- disegualizzazione trascurabile su trasmissioni a larga banda;
- assenza di round loop tra antenna e stanza dei ricevitori;
- allargamento della banda;
- maggiore resistenza alle variazioni di temperatura con conseguente miglioramento della stabilità di fase;

Aspetto cruciale e che ci ha riguardato, seppure superficialmente, visto che i segnali di sincronismo andranno portati all'esterno dell'edificio centrale via fibra ottica, raggiungendo le cabine. Per quanto riguarda la trasmissione dati invece, per ora si è deciso di adottare una soluzione commerciale come il Gigabit Ethernet, molto diffusa e collaudata, in attesa della progettazione di un link ottico in grado di soddisfare le nostre future esigenze.

Un lato importante del progetto, di cui si è tenuto conto in fase di studio, è la riutilizzabilità di questo prototipo in ambito SKA e per questo motivo sono stati utilizzati dispositivi a costo ridotto in grado comunque di offrire ottime prestazioni; non si pretende che la soluzione cui si è giunti sia quella finale da implementare su tutta la “Croce” nell'opera d'up-grade, ma il prodotto realizzato sarà in grado di fornire numerose e preziose informazioni al fine di ottimizzare il sistema di distribuzione del sincronismo sull'intero sistema.

2.1 Segnali di Clock e PPS

I due segnali sono stati scelti sulla base del rispetto del teorema di campionamento di Shannon; il clock, necessario alla sincronizzazione dei dispositivi digitali, è un segnale alla frequenza di 80MHz ($T_{\text{clock}} = 12.5\text{nsec}$) per campionare il segnale a frequenza intermedia con banda $B = 5\text{MHz}$ e centrato sulla portante a 30MHz; lo stesso segnale di clock servirà sia per gli ADC sia per i DDC, i quali convertiranno il segnale digitale dalla media frequenza alla banda base. Il PPS invece è un ulteriore

riferimento temporale che genera un impulso ogni secondo ($T_{PPS} = 1\text{sec}$), e quindi con una frequenza di $f_{PPS} = 1\text{Hz}$. In figura 2.3 sono mostrati gli andamenti dei due segnali: il clock, come detto, è un'onda quadra con duty cycle del 50% e periodo $T_{CK} = 12.5\text{nsec}$, mentre il PPS è un segnale con periodo $T_{PPS} = 1\text{sec}$ e costituito da impulsi molto stretti (di tali impulsi interessa solo il fronte di salita e quindi idealmente possono essere rappresentati da impulsi infinitesimi).

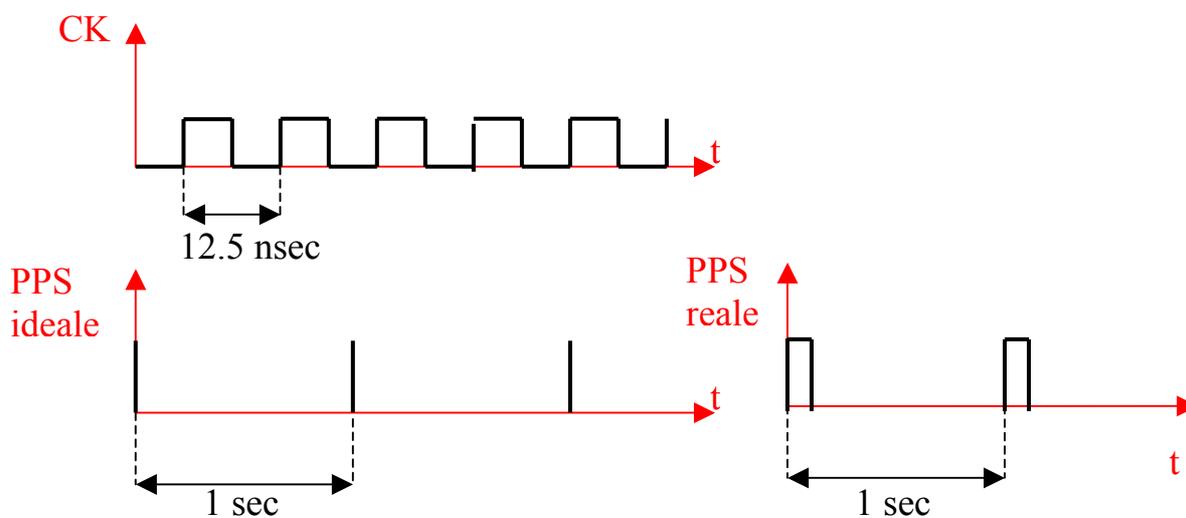


Figura 2.3: Andamento dei segnali di CK e PPS.

L'idea di base è quella di numerare ogni campione ricevuto per poter identificare l'istante in cui è stato campionato e poterlo così confrontare correttamente con i segnali provenienti dagli altri ricevitori. All'interno della scheda contenente i ricevitori digitali sono presenti due contatori: il primo sarà incrementato dal clock ogni 12.5nsec, mentre il secondo sarà incrementato dal PPS ogni secondo. Il valore memorizzato nei due contatori sarà poi inserito come informazione temporale all'interno dell'intestazione del pacchetto Ethernet; è stato previsto che il contatore del clock, che s'incrementa ogni 12.5nsec, si azzeri ad ogni impulso del segnale di PPS. Questi due aspetti li troviamo mostrati in figura 2.4 dove si vede come dopo ogni secondo ricominci il conteggio degli impulsi di clock e in quale posizione del pacchetto Ethernet siano inseriti i valori dei due contatori. Facendo così sarà possibile utilizzare un contatore a 27 bit ($2^{27} \approx 134$ milioni) il quale è in grado di contare oltre gli 80 milioni di periodi al

secondo imposti dal segnale di clock. Per quanto riguarda il segnale di PPS, si è scelto di inserire nella trama Ethernet una parola da 2 byte, che permette il conteggio dei dati fino ad oltre 7 giorni e mezzo ($2^{16} \times 1 \text{ sec} = 65536 \text{ sec}$).

Nel progettare la scheda si è tenuto conto di diverse soluzioni, peraltro già attuate in precedenza con successo, per quanto riguarda la trasmissione e la ricezione dei segnali di clock e PPS; in questo modo si poteva partire da basi certe che soddisfacessero le nostre esigenze. Per il clock le diverse soluzioni riguardavano principalmente il modo in cui il segnale veniva generato (ad esempio utilizzando moltiplicatori e divisori di frequenza), mentre per il PPS si è dovuto tener conto soprattutto di limiti tecnologici di alcuni componenti commerciali utilizzati e che vedremo più in dettaglio in seguito. La generazione dei due segnali non è stato un aspetto basilare della nostra progettazione; i nostri studi si sono ristretti alla parte di trasmissione e di ricezione di clock e PPS, sfruttando come detto soluzioni già implementate per quanto concerne la generazione dei due.

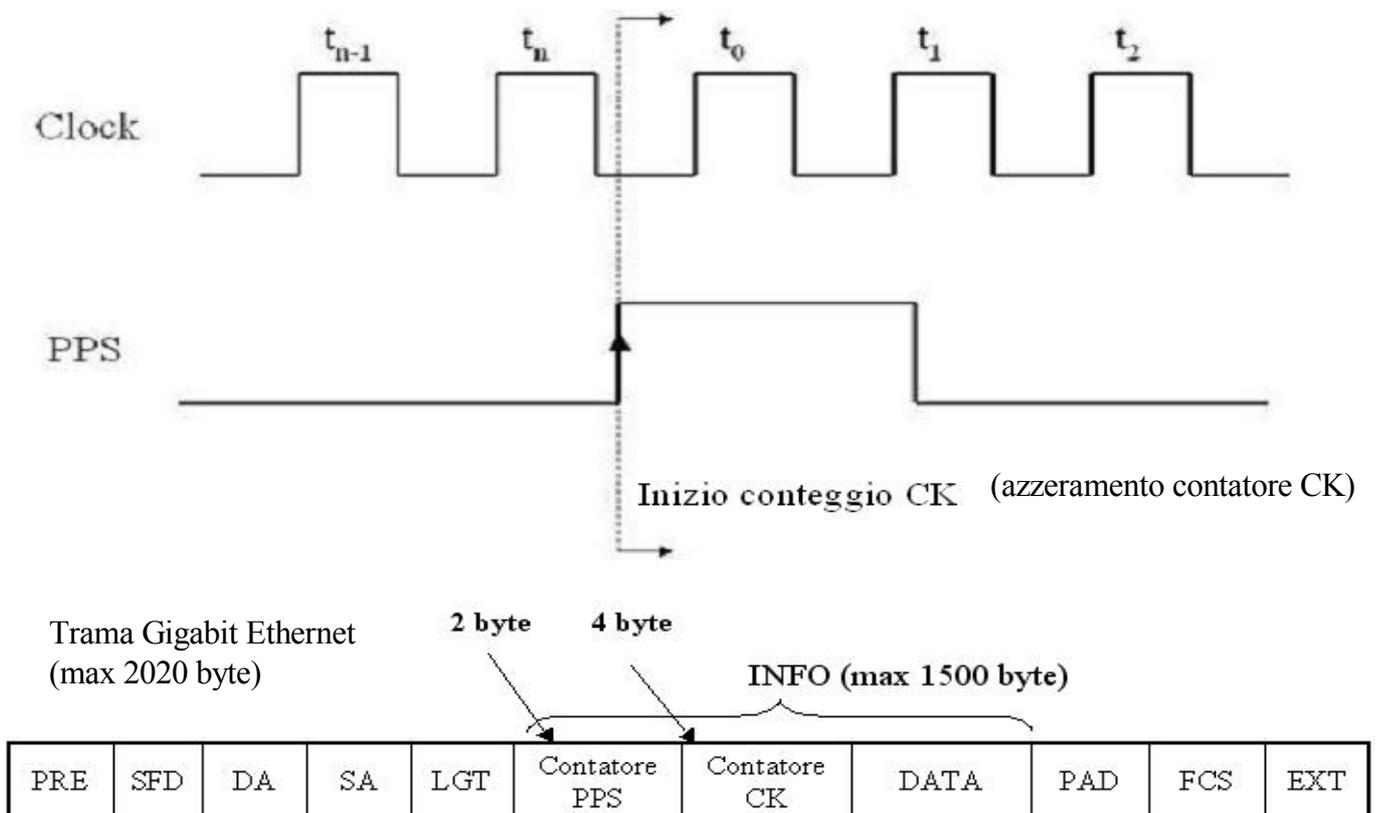


Figura 2.4: Azzeramento del contatore del clock dopo ogni impulso di PPS ed inserimento nell'intestazione del pacchetto Ethernet

Un aspetto importante concerne i livelli logici dei due segnali sulla scheda di sincronismo; la scheda è stata progettata in modo tale che i segnali di clock e PPS possano essere dati in input nei livelli logici **TTL** (*Transistor Transistor Logic*) o **PECL** (*Positive Emitter Coupled Logic*). Ciò garantirà alla scheda una notevole flessibilità nell'interfacciamento con dispositivi esterni (sorgenti di segnale e strumenti di misura/test), permettendo quindi all'utente di configurare la scheda in funzione della tipologia dei segnali a disposizione. Fondamentale è evidenziare che i segnali di sincronismo (clock e PPS) in output dalla scheda e distribuiti ai ricevitori digitali, come anche quelli indirizzati verso altri dispositivi (schede analoghe), sono tutti PECL.

Family	Parameter	Nominal Power supply (V)	Input (V)		Output (V)		V _L typical (V)	V _H typical (V)	Swing (V)
			V _{IL}	V _{IH}	V _{OL}	V _{OH}			
TTL	74LS, 74AS, 74ALS	V _{CC} = 5.0	0 ~ 0.8	2.0 ~ V _{CC}	< 0.5	> 2.4	0.2	3.0	2.0
LVTTTL		V _{DD} = 3.3	-0.3 ~ 0.8	2.0 ~ V _{DD} +0.3	< 0.4	> 2.4			
CMOS	74C, 74HC	V _{CC} = 5.0	0 ~ 0.3V _{CC}	0.7V _{CC} ~ V _{CC}	< 0.5	> V _{CC} -0.8	0	5.0	3.8
LVC MOS		V _{DD} = 3.3	-0.3 ~ 0.8	2.0 ~ V _{DD} +0.3	< 0.2	> V _{DD} -0.2			
ECL	10K	V _{EE} = -5.2	-1.95 ~	-1.13 ~	-1.95 ~	-0.98 ~			0.8
	100K	V _{EE} = -4.5	-1.48	-0.81	-1.63	-0.84			
LVECL		V _{EE} = -3.3							
PECL		V _{CC} = 5	3.05 ~ 3.52	3.87 ~ 4.19	3.05 ~ 3.37	4.02 ~ 4.19			
LVPECL		V _{CC} = 3.3	0.86 ~ 2.125	1.49 ~ 2.72	< 1.57	> 1.8			

Tabella 2.1: Livelli logici (TTL e PECL)

Nella tabella 2.1 abbiamo mostrato quali siano le differenze fra i due livelli logici, notando in particolar modo che i segnali PECL sono segnali differenziali mentre i segnali TTL sono riferiti a massa e questo porterà anche ad una differenziazione delle terminazioni delle relative piste in funzione dell'adattamento che si desidera ottenere, come vedremo in seguito. Le motivazioni che ci hanno spinto alla scelta di segnali di tipo differenziale per la trasmissione del sincronismo, sono dipese dai vantaggi che gli stessi segnali offrono:

- Garantiscono una migliore reiezione verso i segnali interferenti, in quanto un ipotetico interferente che si accoppiasse alle due linee, darebbe un contributo differenziale nullo;
- Subiscono minori deformazioni durante la trasmissione ad elevate bit rate;
- Permettono maggiori velocità di commutazione dovuto al fatto che un segnale PECL, avendo un gap più piccolo da attraversare durante la transizioni dal livello alto a quello basso e viceversa, riesce a commutare in tempi più rapidi rispetto a quelli delle logiche TTL;

Solitamente nella realizzazione di circuiti digitali si tende ad utilizzare integrati della stessa famiglia logica; tuttavia può capitare di utilizzare integrati di famiglie logiche diverse, come accade nel nostro caso, causa le numerose funzioni cui la scheda dovrà far fronte; si preferisce quindi utilizzare integrati ECL laddove si richiedono i vantaggi che questa famiglia offre, mentre si utilizza la logica TTL nelle parti meno critiche. La scheda è stata perciò dotata di opportuni circuiti di interfaccia, composti da traslatori di livello e buffers, per adattare fra loro le diverse tensioni dei dispositivi appartenenti a differenti famiglie logiche; in questo modo si sono potuti collegare assieme circuiti con livelli logici differenti. La scelta del *Positive ECL* è dovuta anche al tipo di tensione di alimentazione (e di massa) resa disponibile sulla scheda; in particolare, siccome la logica TTL lavora con tensioni di alimentazioni positive, allora l'uso della logica PECL ci permetteva di sfruttare la stessa alimentazione della TTL (come si può notare guardando i valori di tensione riportati nella tabella 2.1, in cui entrambe le famiglie logiche vengono alimentate a $V_{CC} = 5V$). Ciò non sarebbe stato vero se avessimo utilizzato la NECL (*Negative ECL*), in quanto avremmo dovuto prevedere un altro tipo di alimentazione per la scheda e avremmo dovuto predisporre sullo stampato linee per la distribuzione della tensione negativa.

I segnali di clock e PPS che può ricevere in ingresso la scheda, possono essere sia in logica TTL e sia PECL; nel primo caso vengono, per i motivi suddetti, immediatamente convertiti in PECL affinché tutta la scheda lavori con livelli logici differenziali. Come accennato, i segnali di

sincronismo distribuiti dalla scheda vengono inviati PECL sia ai ricevitori digitali sia alle altre schede *slave* collegate.

2.2 Il ricevitore digitale

Come detto nel precedente capitolo, uno dei principali obiettivi è la realizzazione di un prototipo di *ricevitore digitale* (*digital receiver*), che inizialmente verrà implementato su un numero non elevato di linee focali del ramo N-S, ed in un secondo momento su tutta la “Croce” nel caso gli esperimenti concordino con i risultati attesi. Qui di seguito daremo una descrizione dei dispositivi utilizzati per la conversione analogico-digitale (ADC) e per la conversione digitale del segnale in banda base (DDC), entrambi montati sulla scheda del ricevitore. Dare una descrizione del funzionamento di tali dispositivi interessa in quanto il nostro progetto ha previsto la distribuzione dei segnali di sincronismo proprio a questi chip. In figura 2.5 possiamo vedere lo schema a blocchi del *digital receiver* implementato su un’unica scheda.

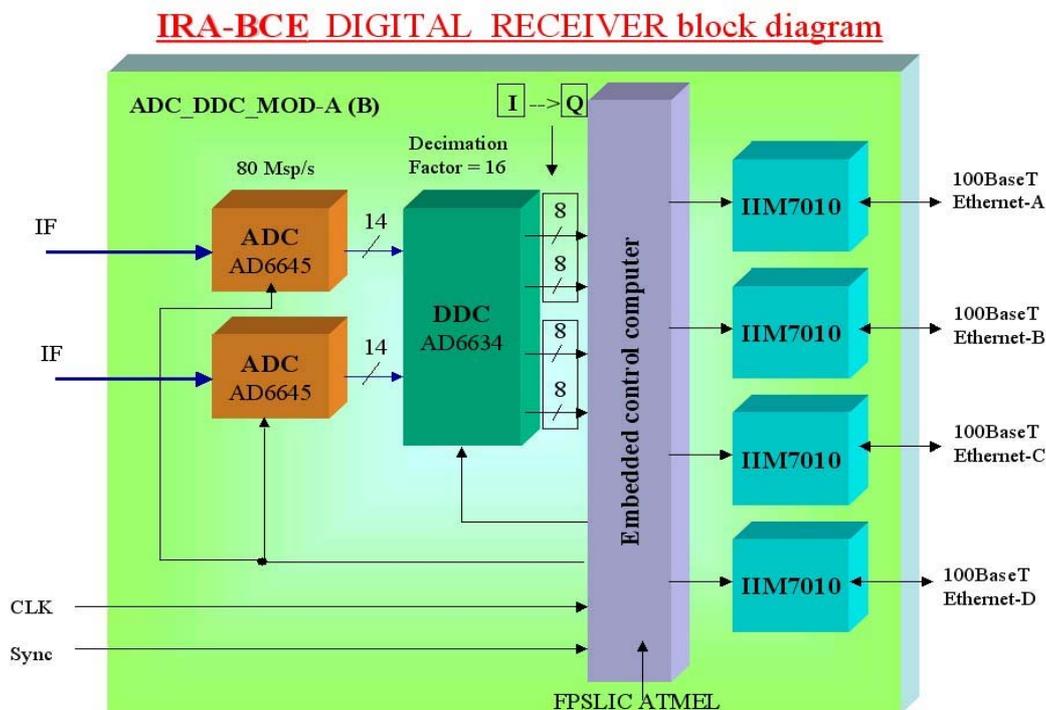


Figura 2.5: Schema a blocchi del ricevitore digitale

I componenti principali sono l'ADC (*AD6645*) e il DDC (*AD6634*); oltre a questi sono presenti elementi di controllo e di gestione dei segnali campionati, come i chip *IIM7010* dedicati alla creazione dei pacchetti del protocollo Ethernet (protocollo scelto per la trasmissione dei dati verso il sistema di elaborazione). Vi sono poi gli ingressi per i segnali di sincronizzazione, un *FPGA (Field Programmable Gate Arrays)* utilizzato per velocizzare le operazioni di calcolo e "l'impacchettamento" dei dati, ed un sistema di controllo per gestire le unità presenti sulla scheda (entrambi compresi all'interno del blocco "*Embedded Control Computer*"). All'ingresso del ricevitore digitale è presente la banda del segnale con portante a 30MHz proveniente dalla prima conversione dello stadio a radiofrequenza (RF); prima della conversione digitale è presente una conversione analogica da radiofrequenza (408MHz) a frequenza intermedia (30MHz).

La funzione principale del ricevitore digitale è quella della conversione da analogico a digitale del segnale di ingresso, restituendo in uscita parte reale ed immaginaria del segnale digitale in banda base. La prima operazione è eseguita con gli ADC a 14 bit e frequenza di campionamento 80MHz, in accordo con il teorema del campionamento di Shannon. La seconda operazione è svolta dal DDC, il cui schema a blocchi è rappresentato in figura 2.6, che esegue in digitale le stesse operazioni che un normale mixer esegue in analogico.

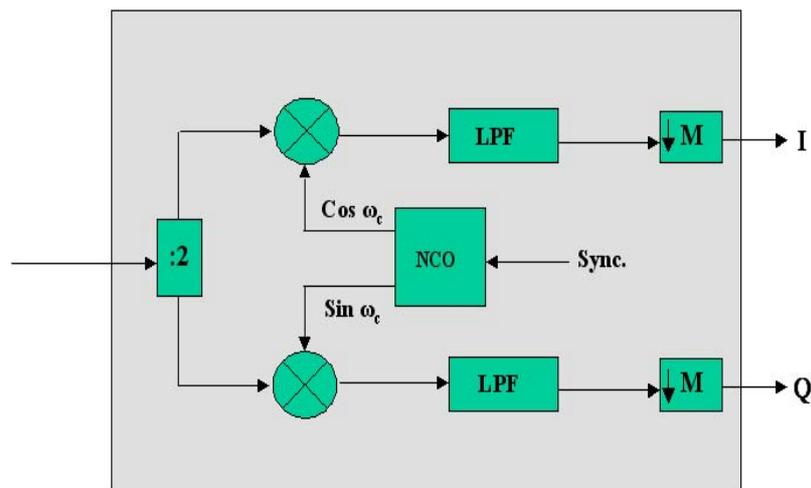


Figura 2.6: Schema a blocchi del Digital Down Converter (AD6634)

Il DDC differisce da un semplice mixer analogico per quanto riguarda il *NCO* (*Numerically Controlled Oscillator*) e nei decimatori (blocchi M di figura 2.6), che riducono la bit-rate di un fattore M trasmettendo un bit ogni M ricevuti; gli *NCO* svolgono in digitale una funzione analoga a quella svolta dai *VCO* (*Voltage Controlled Oscillator*) in analogico. Sono presenti anche alcuni filtri digitali programmabili di tipo passa basso (LPF), necessari per formare la banda del segnale in uscita dal dispositivo.

Come si nota dalla figura 2.6, ogni digital receiver è in grado di gestire due segnali in parallelo. I segnali provenienti da due ricevitori dell'antenna vengono quindi inviati alla scheda sopra descritta, contenuta all'interno delle cabine in muratura disposte lungo ciascuno dei due bracci della "Croce". Ogni cabina riceve i segnali provenienti da otto antenne, quindi in totale avremo bisogno di sedici ricevitori per ogni cabina; essendo poi le cabine poste reciprocamente ad una distanza minima di qualche decina di metri, fino ad un massimo di centinaia di metri fra le cabine più lontane, ecco che si capisce l'importanza e la necessità di implementare un sistema di distribuzione di segnali di sincronismo come quello studiato nel seguente tirocinio. Tale sistema dovrà essere in grado di dare un riferimento temporale a tutti i dispositivi digitali dislocati su un'ampia area alla base delle antenne.

Senza i segnali di sincronizzazione, gli ADC presenti sulla scheda del ricevitore campionerebbero in istanti diversi, ed in questo modo s'introdurrebbe un'ulteriore perdita di coerenza, che si aggiungerebbe a quella cui già dobbiamo far fronte. La non coerenza sarebbe dovuta al fatto che si andrebbero a sommare segnali che non apparterebbero allo stesso fronte d'onda, poiché campionati in anticipo o in ritardo rispetto all'istante di campionamento ideale. Sebbene il segnale di sincronismo in partenza dall'edificio centrale sia lo stesso per tutti, alla fine del collegamento vi potranno essere variazioni tra i fronti di salita dei segnali ricevuti in cabina; questo inconveniente è dovuto al fenomeno chiamato *jitter* (misurato in secondi o in unità di tempo), oltre che ad altri fenomeni legati alle diverse lunghezze dei percorsi che il segnale deve seguire per raggiungere le cabine. Secondo la definizione dell'*ITU* (*International Telecommunication Union*) il *jitter* è "la variazione a breve termine degli istanti significativi di un segnale digitale dalla loro posizione ideale nel tempo" (dove per istante significativo può essere preso qualsiasi istante, come fronti di salita o di discesa o istanti di campionamento). Misure sul jitter saranno un aspetto

fondamentale da trattare negli sviluppi futuri del prototipo della scheda di distribuzione del sincronismo.

2.3 Realizzazione della scheda prototipo

In questo capitolo andremo a descrivere e a motivare le scelte progettuali effettuate durante la studio e la preparazione della scheda per la distribuzione del sincronismo, mostrando anche il risultato del nostro lavoro.

Innanzitutto diamo un breve accenno delle fasi evolutive che ha subito il processo progettuale; l'idea iniziale prevedeva la realizzazione di una scheda da disporre nella stanza del ricevitore e che distribuisse i segnali di clock e PPS alle cabine, prevedendo anche una parte di ricezione per la verifica delle funzionalità dei segnali trasmessi di ritorno dalle cabine; tale scheda doveva essere una evoluzione, in vista della soluzione finale, delle due schede prototipo già realizzate e testate con successo. Successivamente si è pensato di progettare la scheda che, posta all'interno delle cabine, ricevesse i segnali di sincronismo per distribuirli ai ricevitori digitali; ci si è spostati in tale direzione principalmente per motivi di complessità, in quanto questo progetto risultava più complicato e la realizzazione di questa scheda era prioritaria rispetto alla realizzazione della precedente, al posto della quale per il momento si sarebbero utilizzate soluzioni già implementate con profitto. Questa scheda prevede, oltre alla ovvia circuiteria per la ricezione dei due segnali, anche una parte di trasmissione per inviare segnali di errore o di malfunzionamento alla stanza del ricevitore. La progettazione è quindi cominciata al fine della realizzazione di questo prototipo, poi in corso d'opera si è pensato di studiare un'unica scheda che fosse in grado di lavorare indifferentemente sia all'interno delle cabine, sia nella stanza del ricevitore, con la possibilità in entrambe le posizioni, di poter trasmettere e ricevere i segnali di clock e PPS. Quest'ultima soluzione, come vedremo in seguito, risultava la più economica, in quanto non è difficile comprendere quale sia il risparmio nel costruire un'unica scheda con entrambe le funzionalità invece di due schede separate. La scheda realizzata, dovrà quindi prevedere tutte le possibili funzionalità, sia in fase di trasmissione e sia in fase di ricezione, ma a seconda di dove verrà collocata vi verranno sopra montati solamente i

dispositivi necessari al suo funzionamento in quella particolare condizione (e non tutta la circuiteria prevista), per una migliore efficienza ed un'ulteriore riduzione dei costi complessivi.

2.3.1 Caratteristiche del collegamento e ricerca di mercato

La scheda è stata progettata tenendo conto di alcuni importanti aspetti tecnici, realizzativi ed economici nella scelta dei dispositivi da impiegare; la scheda verrà successivamente realizzata secondo lo standard attualmente in uso e denominato “*Doppia Europa*” le cui dimensioni sono 233 cm di larghezza e 160 cm o 220 cm di lunghezza. Tali schede verranno poste verticalmente in cestelli come quello di figura 2.7, anch’essi di dimensioni conformi allo standard utilizzato. Interessante è capire come verranno disposte e collegate le nostre schede e quelle dei ricevitori digitali all’interno di questi cestelli. Si deve tener conto che il numero totale di cabine alla base della “Croce del Nord” è di 14 (8 per il ramo N-S e 6 per il ramo E-W) e ad ogni cabina deve giungere un segnale di clock ed uno di PPS. Il numero totale di collegamenti dovrà quindi essere 28 (14 per il clock e 14 per il PPS), anche se si pensa che in prospettiva SKA tali link possano essere in numero notevolmente maggiore.



Figura 2.7: Cestello posto in cabina

La scheda di distribuzione del sincronismo che abbiamo progettato fa riferimento ad un singolo collegamento (clock + PPS); in attesa dei futuri test su questa scheda, sono già iniziati gli studi per diverse soluzioni riguardo l'applicazione dell'intero sistema di sincronizzazione a tutta la "Croce del Nord". Sarebbe infatti complicato realizzare, secondo gli standard dimensionali adottati, un'unica scheda che in trasmissione dalla stanza del ricevitore prevedesse la possibilità di 28 collegamenti, quindi predisposta con 28 trasmettitori ed altrettanti ricevitori. Una possibilità valutata inizialmente era quella di costruire una scheda che prevedesse il maggior numero di collegamenti, in numero minore di 28, e che venisse collegata ad una o più schede che prevedessero i restanti collegamenti; in questo modo la struttura a piani costituita dalle schede collegate modularmente, sarebbe stata posta in verticale nei cestelli e collegata tramite ponticelli, flat o altri tipi di collegamenti elettrici che permettessero ai due segnali di circolare sui diversi piani della struttura. Questo portava però ad ovvi problemi di ritardo, benché minimi, nella distribuzione di clock e PPS. La soluzione varata in ultima analisi si rifà al prototipo di scheda realizzato; in tal caso si prevede che la scheda da noi progettata, una volta generati i segnali di clock e PPS, sia posta verticalmente a capo dei cestelli, e invii i due segnali di clock e PPS ad una struttura a piani del tipo sopra descritto (anch'essa posta verticalmente nei cestelli); sarà poi questa struttura, formata da più schede poste in parallelo, ad occuparsi in via definitiva della trasmissione dei segnali di sincronismo alle 14 cabine come mostrato in figura 2.8. Quest'ultimo aspetto non ha comunque riguardato la nostra fase di progetto perché, come detto, ci si è limitati allo studio della scheda per un solo link (clock + PPS). Questo per quanto riguarda la fase di trasmissione all'interno della stanza del ricevitore.

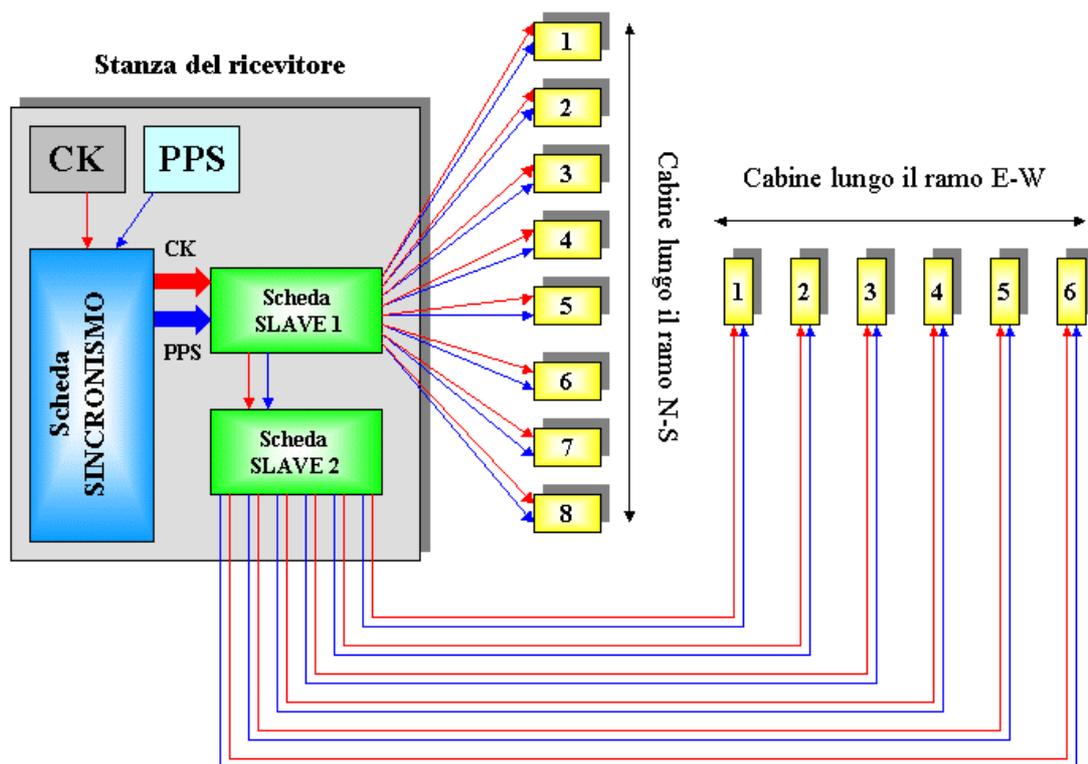


Figura 2.8: Distribuzione dei segnali di sincronismo

In ricezione (cioè nelle cabine) le cose presentano una complicazione minore visto che all'interno di ciascuna delle 14 cabine dobbiamo gestire un solo segnale di clock ed un solo segnale di PPS, quindi lo studio è stato fatto basandosi su una sola cabina visto che le cose non cambiano per le restanti. La nostra scheda, disposta verticalmente a capo di ogni cestello, riceve i segnali di sincronismo inviati in fibra ottica dall'edificio centrale, e li distribuisce, tramite doppino telefonico, alle 16 schede dei ricevitori digitali di cui ogni cabina è fornita. Un importante accorgimento tecnico, visibile in figura 2.9, riguarda la disposizione delle schede all'interno dei cestelli: per questioni di spazio è impossibile inserire in un unico cestello 16 schede di ricezione in parallelo più la nostra scheda (seppure la loro disposizione sia in verticale) e quindi si è pensato di prevedere due cestelli, ciascuno contenente 1 scheda di distribuzione del sincronismo e 8 schede digital receiver. La prima delle due schede di distribuzione del sincronismo, scheda MASTER, riceverà clock e PPS tramite il link in fibra ottica che arriva dalla stanza del ricevitore, poi questa, tramite un collegamento elettrico (doppino in rame), passerà tali segnali alla seconda,

scheda SLAVE. Le schede MASTER e SLAVE si occuperanno della ripartizione della sincronizzazione, tramite doppino in rame, agli otto ricevitori di ciascun cestello. Le schede disposte verticalmente, sia quelle di distribuzione del sincronismo, sia quelle dei ricevitori digitali, sono collegate tra loro all'interno dei cestelli tramite due connettori posti nel retro della scheda (*backplane*), mentre la parte frontale a pannello (*frontplane*) permette all'utente il monitoraggio delle schede stesse tramite Led di segnalazione e test point ai quali si possono collegare strumenti di misura (es. oscilloscopio).

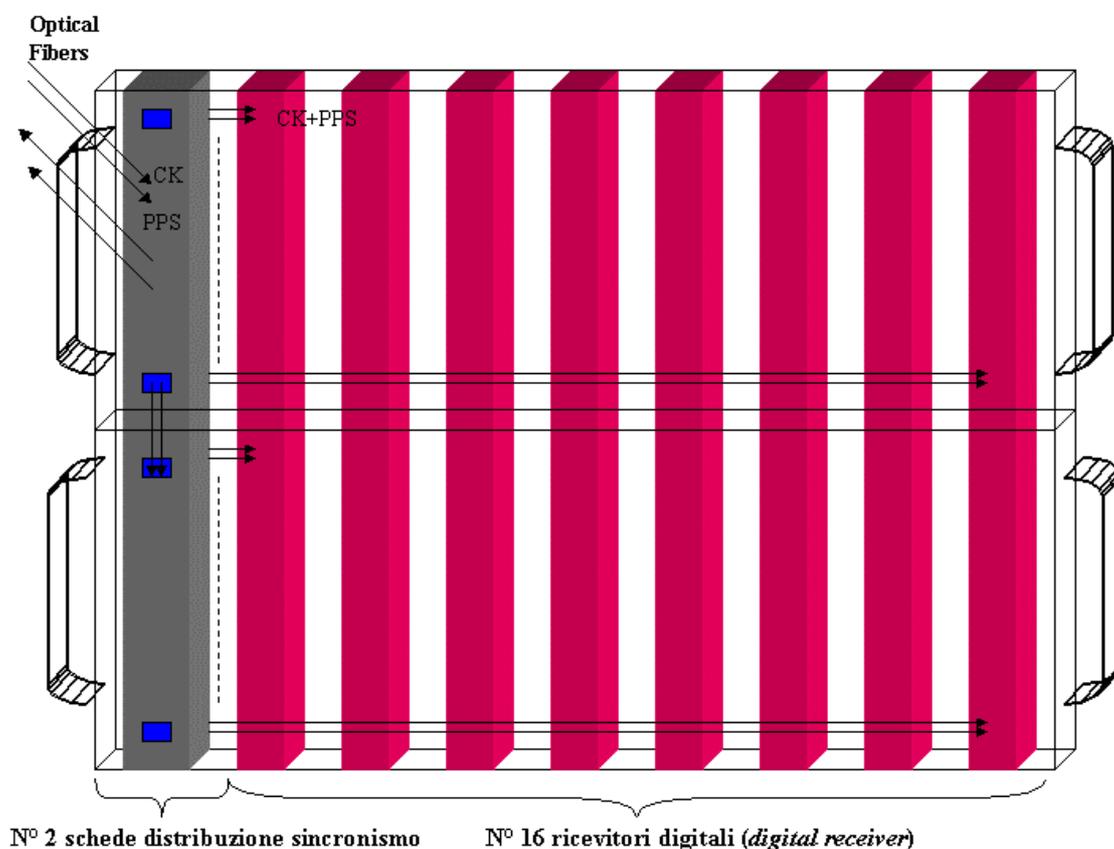


Figura 2.9: Disposizione delle schede di distribuzione di sincronismo e dei ricevitori digitali all'interno dei cestelli preposti in cabina

Dopo aver appreso le indicazioni di massima di come si dovrà presentare la nostra scheda ed in che modo si inserirà nel contesto riguardante l'up-grade della "Croce", si è fatta una ricerca di mercato per

trovare i dispositivi più adatti alla realizzazione della scheda. Visto i tempi ristretti del tirocinio, la ricerca è stata portata avanti di pari passo con la fase progettuale, in modo da permettere la realizzazione dello schematico in tempi brevi e con gli effettivi componenti che verranno in seguito montati. Come detto la nostra scheda fa riferimento ad un singolo collegamento (CK + PPS), mentre per la realizzazione della sincronizzazione dell'intera "Croce del Nord" saranno necessari 14 di questi collegamenti realizzati in fibra ottica, per un totale di 28 link ottici. Si capisce quindi che anche una minima differenza di costo fra un dispositivo e l'altro può trasformarsi in una grossa variazione del costo complessivo; la ricerca effettuata ha tenuto in considerazione, oltre alla minimizzazione dei costi, anche alla distanza massima raggiungibile dalla coppia trasmettitore-ricevitore; la distanza dei collegamenti va da un minimo di 200mt, per la cabina più vicina alla stanza del ricevitore, ad un massimo di 700mt per quella più lontana. A questo punto, sembra quasi ovvia la scelta del collegamento in fibra ottica anziché l'utilizzo di un sistema di trasmissione su cavo coassiale metallico (rame): il link ottico, proprio per le caratteristiche insite nella fibra stessa, permette il trasporto di segnali a grande distanze ed ad elevate bit rate con minore attenuazione e minore interferenza elettromagnetica rispetto al cavo in rame, inoltre risente poco delle escursioni termiche e garantisce l'isolamento elettrico tra l'antenna e la stanza di elaborazione dei dati, proteggendo il sistema elettronico di post processing in caso di fulmini o di forti scariche elettriche sull'antenna. Le caratteristiche elencate sopra vanno ad introdurre soluzioni ottimali di miglioramento in prospettiva SKA.

Le ricerche sono state effettuate utilizzando internet ed il materiale (data sheets, manuali, ricerche, precedenti soluzioni adottate, ecc....) disponibile alla stazione di radioastronomia; i siti visitati per individuare i componenti di nostro interesse sono quelli dei maggiori produttori nel settore dell'elettronica e delle telecomunicazioni, quali *Agilent, Fairchild, Honeywell, Infineon, Linear Technology, Motorola, OnSemi, Philips, Texas Instruments* per citare i principali. Ottenute le informazioni tecniche necessarie, la scelta della componentistica è stata effettuata in base alle esigenze da soddisfare ed alla minimizzazione dei costi. Dopodiché si è passati a contattare i rivenditori italiani delle diverse case produttrici al fine di ordinare i componenti; il prezzo varia da un rivenditore all'altro, ma anche in base al quantitativo ordinabile, ed è per questo che si ha la tendenza ad acquistare un numero di componenti maggiore rispetto al

necessario (il rapporto è circa di 1 a 5 oppure 1 a 10 se il componente ha un maggiore utilizzo); un'operazione di questo tipo è stata fatta ad esempio per la scelta del transceiver, da utilizzare per la trasmissione e la ricezione del clock.

Il prototipo è stato realizzato con dispositivi commerciali a basso costo in grado di fornire ottime prestazioni, in particolare si è concentrata l'attenzione sui dispositivi elettro-ottici (necessari per la trasmissione e la ricezione in fibra ottica) capaci di coprire le distanze sopra citate. Nell'ottica di un'ulteriore riduzione dei costi, originariamente si era pensato di trasmettere il clock ad 80 MHz e il PPS, come un unico segnale su di una stessa fibra ottica tramite codifica di Manchester, ma purtroppo non si sono trovati dispositivi commerciali in grado di svolgere questo compito a causa dell'elevata frequenza del clock; si è deciso perciò di utilizzare due collegamenti separati. Un'ulteriore alternativa prevedeva la riduzione del numero di collegamenti complessivi utilizzando un multiplexer ed un collegamento a bit-rate doppia della precedente, in modo da alternare la trasmissione del clock e del PPS. Questa soluzione, seppur concettualmente valida, non è stata presa in considerazione prevalentemente per problemi tecnologici, siccome non è possibile trasmettere un segnale con frequenza troppo bassa (PPS = 1Hz) con i normali transceiver commerciali, come vedremo meglio in seguito, i quali hanno una frequenza minima di trasmissione di poco inferiore ai 5MHz. In generale, se si sale in frequenza non è sempre possibile mantenere le stesse distanze di trasmissione utilizzando lo stesso dispositivo (che garantisce ad una data frequenza una certa distanza di collegamento), soprattutto in applicazioni come la nostra che richiedono alcune centinaia di metri di collegamento. Per ovviare a questo problema, che comunque non ci ha riguardato, si potrebbero utilizzare tecnologie più complesse come dispositivi laser anziché LED, ma ciò porterebbe ad un incremento indesiderato dei costi complessivi rispetto agli effettivi benefici ottenuti sul sistema, continuando presumibilmente ad avere le stesse problematiche in frequenza imposte dai circuiti driver.

Un nodo fondamentale da risolvere è la differenza di lunghezza dei vari collegamenti e quindi delle fibre da posare, il che provocherebbe disallineamenti tra i fronti di salita dei clock che arrivano in cabina. Per ovviare o limitare questo fenomeno, si utilizzeranno link ottici della stessa lunghezza, indipendentemente dalle distanze che separano le cabine dalla stanza del ricevitore, in modo che le variazioni (termiche, di jitter e

quant'altro) si ripercuotano tutte, con la stessa entità, su ogni tratto di fibra. La situazione è stata esposta a ditte specializzate nel settore che, tramite tecniche reflectometriche, si propongono di risolvere il problema della differenza di percorso; in ambito commerciale ciò non costituisce un problema, perché ogni comunicazione è indipendente dalle altre.

2.3.2 Schematico e scelte progettuali

Un tipico flusso realizzativo che porta alla costruzione fisica vera e propria di un circuito stampato si compone di tre fasi:

- disegno elettrico della scheda (schematico);
- layout della scheda (piazzamento dei componenti, sbrogliatura);
- fresatura delle piste e montaggio componenti.

Visto i tempi ristretti del tirocinio e la complessità del progetto, si è riusciti a svolgere il primo dei tre punti, arrivando alla realizzazione dello schematico completo della scheda di distribuzione dei segnali di sincronismo. Questo schematico sarà quello utilizzato per la realizzazione del layout della scheda, sulla quale verranno poi eseguiti i test.

Per progettare la scheda abbiamo utilizzato il programma di disegno elettronico **OrCAD Release 9.2** concesso in licenza all'istituto di radioastronomia, ed in particolare, per la fase di disegno elettrico, si è adoperato **OrCAD Capture**. Con tale programma è stato possibile, dopo una prima fase di apprendimento e di studio del software, generare lo schematico del circuito attraverso una finestra di editor. Per il disegno dello schema elettrico, alcuni componenti circuitali (chip, resistenze, condensatori, induttanze, connettori, ecc...) erano già disponibili su librerie del programma stesso e quindi non si è fatto altro che importarli nell'editor. I dispositivi non presenti in libreria, invece, sono stati costruiti attuando modifiche su componenti esistenti in libreria o sono stati disegnati ex-novo in un editor delle parti. I pin dei vari blocchi funzionali sono poi stati uniti attraverso delle linee (*wire*) secondo le specifiche assegnate. Data la complessità dello schematico, questo è stato articolato in più pagine, perciò è stato necessario utilizzare dei connettori fuori foglio (*off-page connectors*) per collegare pin disposti su pagine diverse dello stesso

schema elettrico. Ad ogni componente viene associato un *footprint* (letteralmente “impronta”, ovvero i *case* o *package* dei componenti) fra quelli presenti nei manuali e forniti anch’essi nella libreria del programma. Occorre porre la massima attenzione nell’associare il corretto *footprint* al componente che si desidera montare sulla scheda, perché un errore sull’impostazione della scelta di tale *package*, implica poi l’impossibilità del montaggio dei chip sul circuito stampato. Dopo tutte queste operazioni realizzate per mezzo della barra e della tavolozza degli strumenti, lo schematico si può ritenere concluso.

Fatto lo schematico, che nel nostro caso si compone di quattro pagine, si passa alla verifica del corretto funzionamento elettrico dello stesso. In particolare si implementa la funzione “*Check electrical rules*” che riporta e segnala le violazioni alle regole elettriche ed altri vincoli di progetto dello schematico. Gli errori sono visualizzati con opportuni segnalatori esistenti, ed il report di tali segnalazioni viene salvato su un file con estensione **DRC**. Tale esame diagnostico lo si può effettuare solo dopo aver assegnato il giusto riferimento alle parti dello schematico; per effettuare tale operazione esiste il comando “*Annotate*”. Con altri comandi, OrCad permette di creare altri report, ed in particolare “*Cross reference parts*” crea un report di tutte le parti con i riferimenti delle parti e i nomi delle parti (con le eventuali coordinate) ed è usato per documentare o sviluppare un progetto; “*Bill of materials*” (file.**BOM**) crea un elenco dei materiali utilizzati nel circuito elettrico. Di importanza notevole è il comando “*Create netlist*” (file.**MNL**) che crea una netlist dello schematico in grado di traghettare lo stesso circuito elettrico alla generazione del layout o utilizzabile in altri programmi, cioè crea un file che elenca le connessioni logiche tra i segnali e i pin in uno dei più di trenta formati standard.

Queste elencate sopra sono solamente alcune delle operazioni che possiamo compiere attraverso il menu Tools del Project Manager, sicuramente le più importanti e che ci hanno riguardato nello svolgimento del nostro progetto. Alcune di queste operazioni danno origine ad un file in cui è possibile visualizzare il risultato, oppure è possibile visualizzare il tutto nella finestra di dialogo *Session log*. Tutto serve per la creazione di una **netlist** che sia in grado di trasportare lo schematico realizzato con *OrCAD Capture* alla generazione del layout che verrà realizzato con *OrCAD Layout*; questa è la fase di realizzazione pratica vera e propria della scheda che, per i motivi suddetti, non è stata realizzata (verrà fatta comunque a breve).

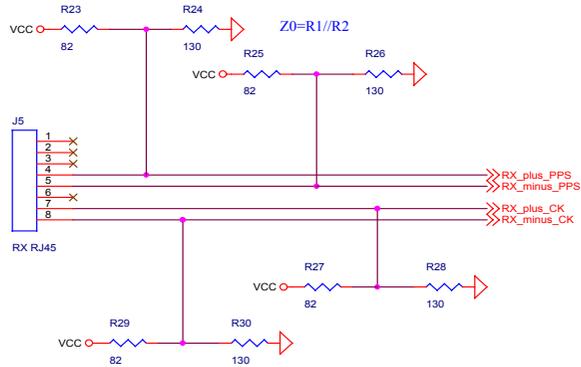
Per la realizzazione del layout, che si è cominciata ad abbozzare, è necessario dettare al programma le specifiche di progetto del circuito stampato. La prima riguarda l'inserimento delle dimensioni della basetta di vetronite (substarto FR4), dopodiché una volta importata la *netlist* (file.*MNL*) del nostro schematico, andremo a definire su quali layer si desidera eseguire il piazzamento dei componenti, ed andremo ad effettuare lo sbroglio delle piste. Vi sono poi una serie di settaggi di minore importanza eseguibili in corso d'opera, come la dimensione della griglia di piazzamento, la distanza da rispettare fra i componenti, le piste e così via. A questo proposito vi sono alcuni aspetti di cui tener conto; la realizzazione dello stampato era prevista su un doppia faccia (in microstriscia o meglio ancora in coplanare con massa), ma visto la complessità circuitale della scheda ed il numero di componenti, questa soluzione sarà difficilmente attuabile. Importante è anche il dimensionamento delle piste che, nel rispetto di un'impedenza caratteristica $Z_C = 50\Omega$ a cui si dovrà adattare l'intera scheda, necessitano di una larghezza (W) opportunamente calcolata in funzione della frequenza dei segnali in gioco (che nel nostro caso sono 80MHz per il clock e 1Hz per il PPS). Durante lo sbroglio occorrerà inoltre tenere in considerazione le specifiche dei dispositivi elencate sui rispettivi data sheets, che spesso richiedono la vicinanza di un dispositivo al suo circuito di polarizzazione. Questa operazione di dimensionamento delle piste, svolta soltanto in minima parte, è stata eseguita con il programma *TX-LINE* disponibile presso l'Istituto di Radioastronomia e facilmente reperibile via web. Per questi motivi la fase di piazzamento dei componenti e di sbroglio, vale a dire la realizzazione delle piste di segnale, deve avvenire manualmente (anche se *OrCAD Layout* consente lo svolgimento di queste operazioni in automatico), con dimensionamento opportuno delle linee di segnale e cercando di schermare i segnali più critici con ampie zone di grounding. La separazione fra massa analogica e digitale al fine di limitare le interferenze, non ci riguarderà a livello di layout, in quanto i segnali trattati sono tutti digitali. Nell'ultima fase di post processing verrà generato un file *GERBER* o un file *CAM* in grado di trasmettere alla fresatrice tutte le informazioni necessarie per la realizzazione del circuito stampato. In figura 2.10 illustriamo il sistema composto dal PC e dalla fresatrice *LPKF Protomat C30s*, che è gestita dal software *Board Master 3.0* in grado di elaborare i file dei layout e di pilotare la testa della fresa durante l'esportazione del rame dalla basetta.



Figura 2.9: Sistema composto da Personal Computer e fresa

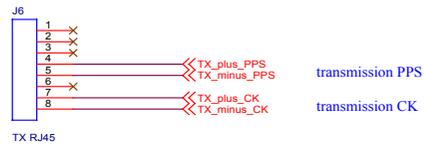
Descritte le varie fasi di progettazione che hanno portato alla realizzazione dello schematico della scheda di distribuzione del sincronismo, di seguito (pagine 37, 38, 39, 40) illustreremo il risultato finale del lavoro svolto, riportando l'intero schema elettrica del progetto distribuito su quattro pagine. Nei prossimi sottoparagrafi andremo a spiegare nel dettaglio quali sono state le scelte progettuali effettuate, analizzando singolarmente le pagine dello schema elettrico.

FROM MASTER CARD
or
PECL SIGNAL INPUT
CK 80MHz PECL or 5MHz PECL
&
PPS PECL

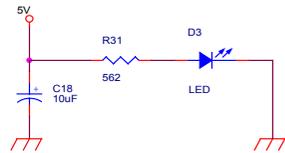


reception PPS
reception CK

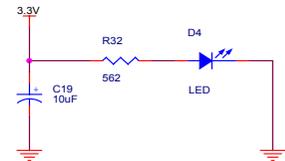
TO SLAVE CARD
CK 80MHz PECL
&
PPS PECL



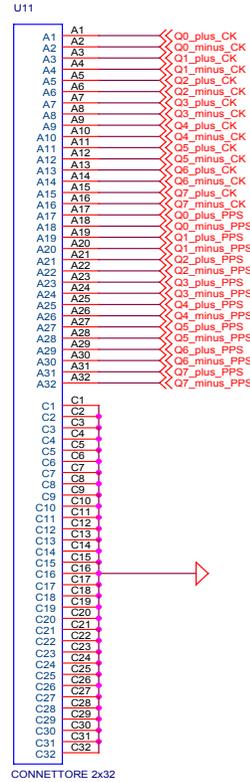
transmission PPS
transmission CK



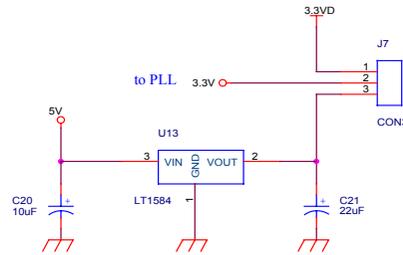
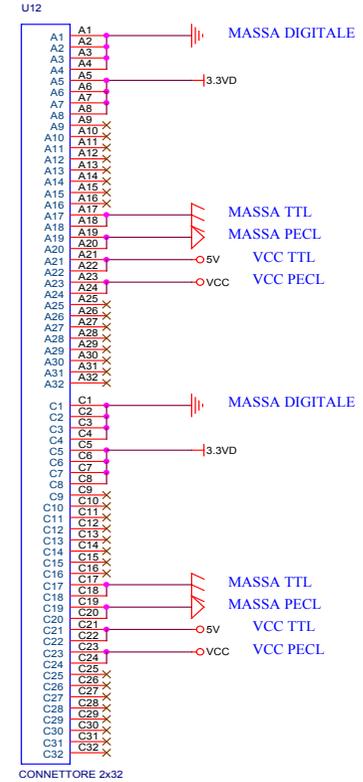
LED VERDE SCHEDA (5V) ON



LED VERDE 3.3V ON

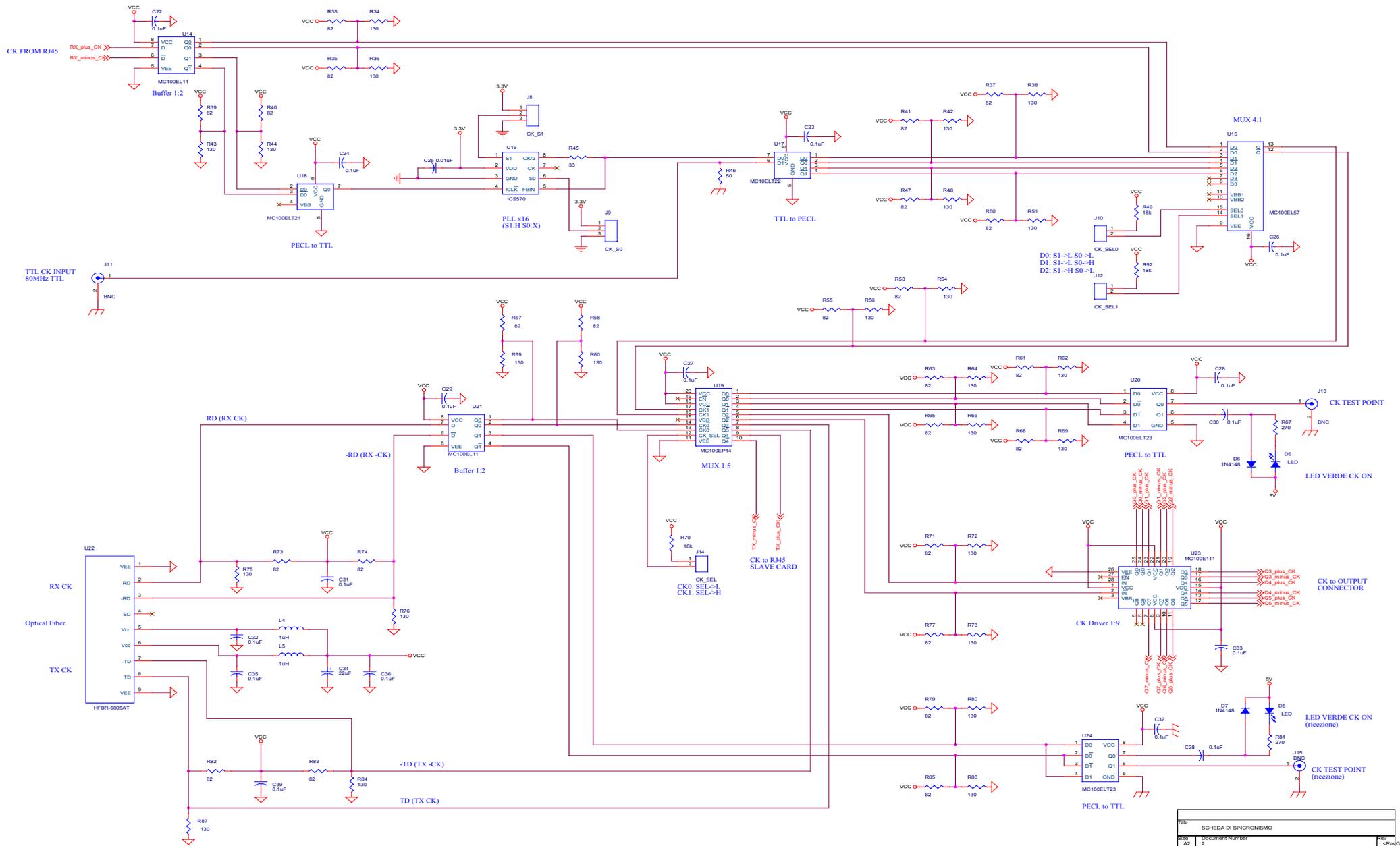


CK & PPS
OUT TO DIGITAL
RECEIVER
BOARD

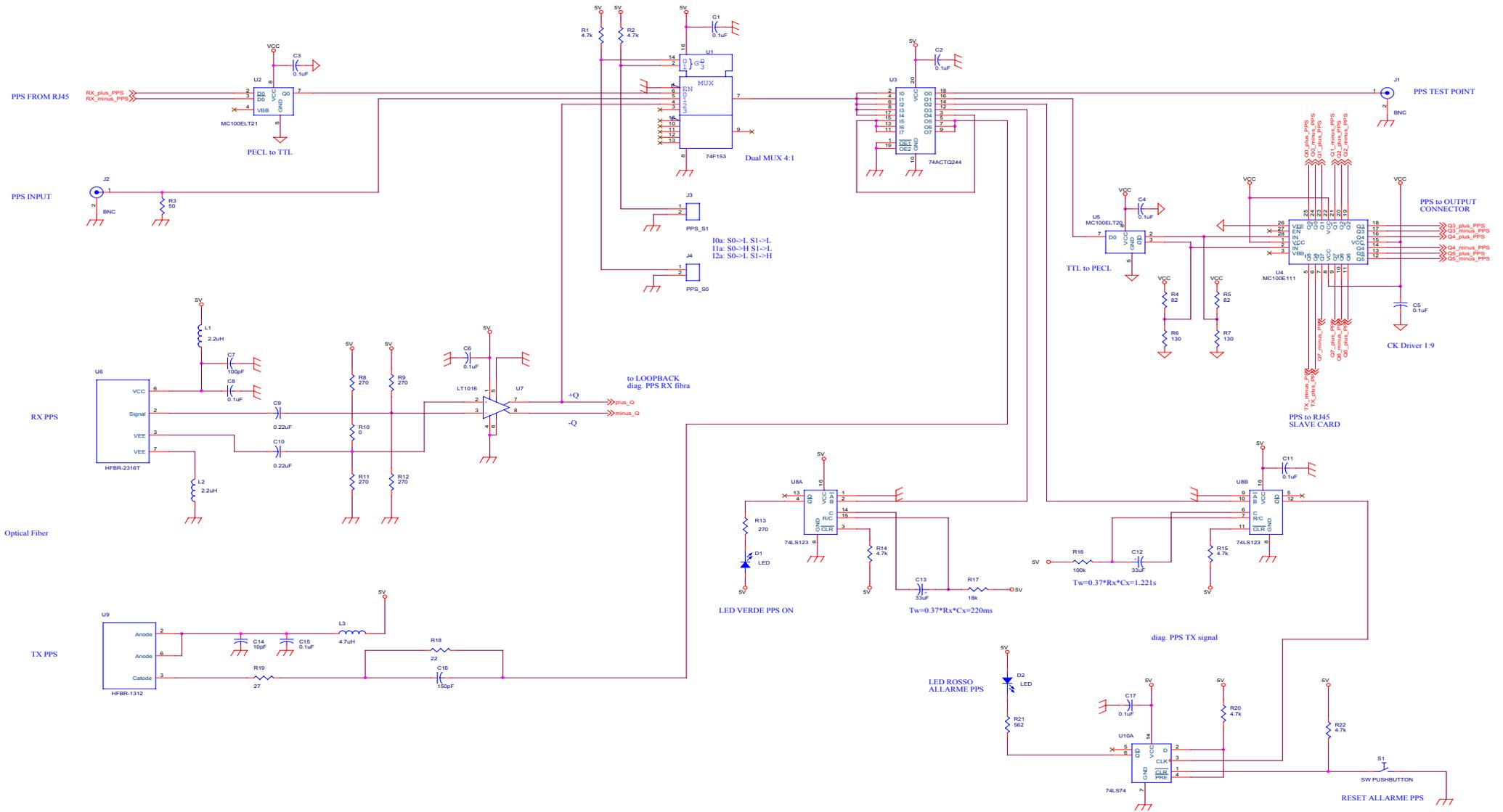


ALIMENTATORE STABILIZZATO 3.3V

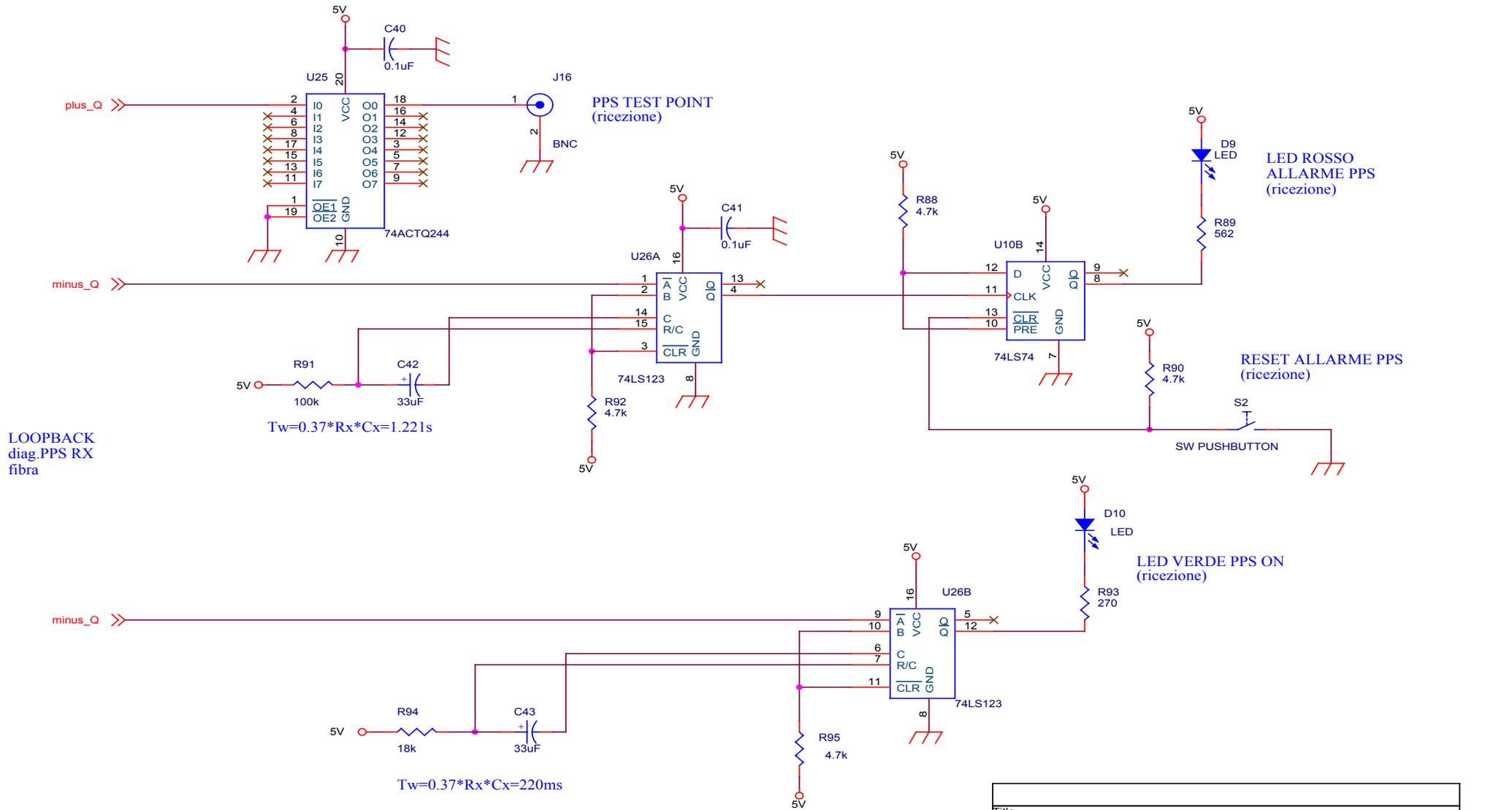
File		
SCHEDA DI SINCRONISMO		
Size	Document Number	Rev
A3	1	<RevCode>
Date	Tuesday, December 23, 2003	Sheet 1 of 4



file	SCHEDA DI SINCRONISMO
rev	Document Number
A2	2
date	Tuesday, December 23, 2003
sheet	2 of 4
Rev Code	



Rev	SCHEDA DI SINCRONISMO	Rev
Rev	Document Number	Rev
Rev	3	Rev
Date	Tuesday, December 23, 2003	Sheet
		3
		of
		4



Title		
SCHEDA DI SINCRONISMO		
Size	Document Number	Rev
A4	4	<RevCode>
Date:	Tuesday, December 23, 2003	Sheet 4 of 4

Connettori (pag. 1)

La pagina 1 dello schematico riportata a pagina 37, è dedicata principalmente ai connettori presenti sulla scheda. Vi sono due connettori **DIN41612** maschio “standard” a 64 pin (2x32) A-C del tipo riportato in figura 2.10 e 2.11. Questi sono ad inserzione indiretta ed adatti al montaggio ad angolo su circuito stampato, costituiti da contatti in ottone dorati e corpo isolante in poliestere; sono indicati per accoppiamenti con connettori femmina “standard” o “reverse”. Entrambi i connettori servono per collegare la nostra scheda al cestello entro cui sarà posta e si trovano nel backplane (figura 2.12) uno a fianco all’altro.

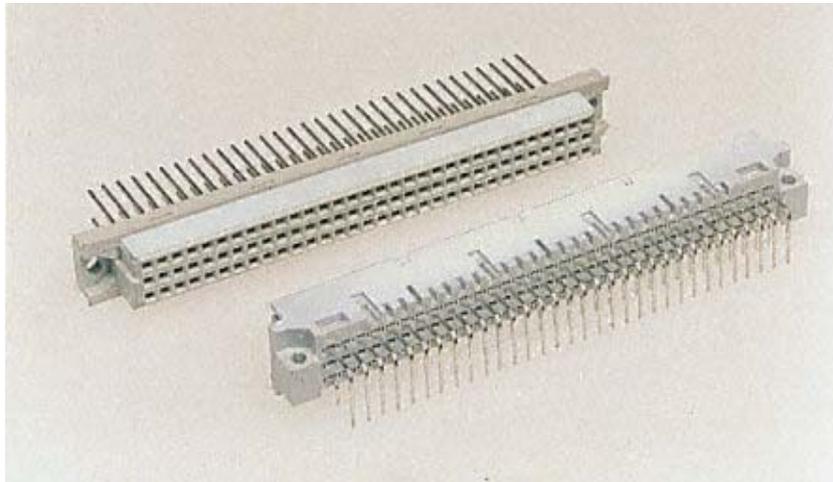


Figura 2.10: Tipologia di connettore DIN41612

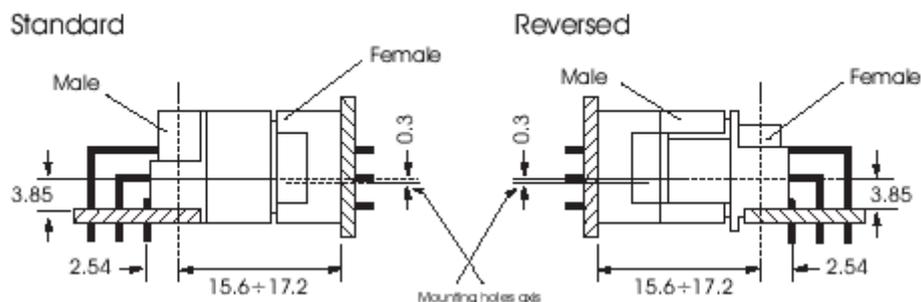


Figura 2.11: Piedinatura ad angolo retto del connettore DIN41612

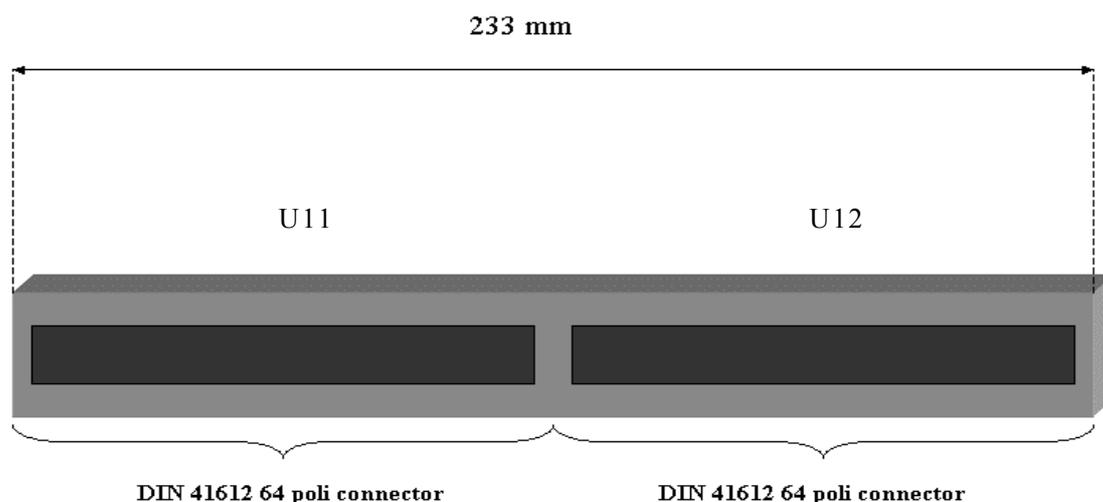


Figura 2.12: Backplane della scheda di distribuzione del sincronismo

La disposizione dei segnali sui due connettori della nostra scheda (U11 e U12 di figura 2.12) è stata scelta in base alla disposizione individuata sui connettori della scheda contenente i ricevitori digitali. Il primo di quei due connettori (U11) è previsto per la distribuzione dei segnali di clock e PPS all'intera scheda del ricevitore (in forma vera e negata essendo segnali differenziali). L'altro connettore (U12), che maggiormente ci ha riguardato, è invece previsto per la distribuzione delle masse e delle alimentazioni (analogiche e digitali) a tutta la scheda. Anche in questo caso abbiamo cercato di uniformarci, in termini di simbologia, a quella utilizzata per lo schematico del ricevitore digitale (figura 2.13), apportando però alcune modifiche. Sul ricevitore digitale sono presenti sia segnali analogici (provenienti dall'antenna e convertiti a frequenza intermedia) sia segnali digitali (gli stessi dopo la conversione A-D) e da qui nasce l'esigenza sul secondo connettore di separare alimentazione e massa analogiche da quelle digitali, in modo da non avere interferenze fra i dispositivi che trattano segnali differenti (sullo schematico le due masse sono "separate" da un semplice resistore). Visto che i potenziali di massa ed alimentazione vengono distribuiti sulle varie schede presenti nel cestello da un'unica barra posta nel retro dello stesso, nel nostro secondo connettore ci siamo dovuti adattare alla configurazione già prevista per il connettore del ricevitore digitale e perciò si sono mantenute le stesse posizioni per

masse ed alimentazioni nonostante i segnali trattati sulla nostra scheda fossero tutti digitali.

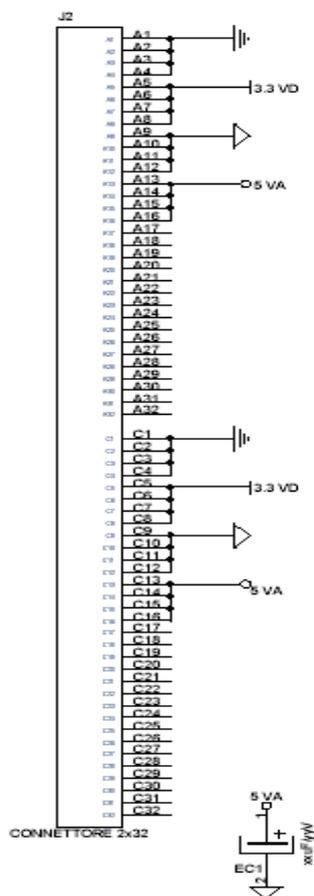


Figura 2.13: Connettore presente sulla scheda del ricevitore digitale per la distribuzione delle tensioni di alimentazione

Quindi abbiamo previsto massa ed alimentazione digitale (+3.3V) e, distanziate da queste, massa ed alimentazione analogica (+5V); il distanziamento delle due alimentazioni sul connettore si è voluto per evitare che la nostra parte digitale andasse a “sporcare” la parte analogica del ricevitore digitale. Seguendo le indicazioni riportate sulle *Application Note AN1406/D* e *AND8020/D* (allegate alla relazione) le tensioni di massa ed alimentazione analogiche sono state separate sulla scheda a seconda dei livelli logici TTL e PECL presenti. Pur avendo cercato di limitare al minimo le differenze di tensione d’alimentazione dei singoli chip, è stato inevitabile, visto la complessità dell’intero circuito, l’utilizzo di dispositivi con tensioni differenti, funzionanti a +5V o +3.3V. Si è scelto di rendere disponibili entrambe queste alimentazioni, ma bisogna prestare attenzione

alla duplice funzionalità della scheda, in sala d'elaborazione e in cabina: la +5V è possibile distribuirla a barra sia in cabina sia nella stanza del ricevitore, non così i +3.3V. Per tale motivo è stato previsto sulla scheda un alimentatore stabilizzato (dispositivo *LT1584*) che, alimentato a +5V, è in grado di fornire in uscita una tensione stabile a +3.3V. La scelta dell'utilizzo dei +3.3V a barra o tramite *LT1584*, è effettuata tramite un jumper.

Per quanto riguarda l'altro connettore, nei sui primi 32 pin sono disponibili i segnali di clock e PPS in forma differenziale da distribuire agli otto ricevitori digitali posti in ciascun cestello; gli altri 32 pin sono portati a massa per isolare i segnali, inoltre, in caso di bisogno, potrebbe tornare utile avere il potenziale di massa in questa posizione. Al momento è previsto che i segnali dalla scheda di sincronismo siano distribuiti alle schede dei ricevitori digitali tramite ponticelli elettrici costituiti da veri e propri fili saldati direttamente sui connettori presenti nel backplane delle schede; questo porterà ad inevitabili ritardi, seppur minimi, visto la disposizione in sequenza delle varie schede dei ricevitori cui devono giungere i vari segnali. La scelta di questa tipologia di connettore non è casuale, infatti è adatto al montaggio ad angolo retto e alla trasmissione di segnali differenziali. La prima linea di pin (A1 ÷ A32) è utilizzata per la trasmissione dei segnali di clock e PPS, con accoppiamento in verticale in modo da garantire ai segnali lo stesso percorso e quindi la stessa lunghezza elettrica, mentre sulla seconda linea (C1 ÷ C32) è collegato il potenziale di massa. Con la scelta fatta sopra le coppie differenziali del segnale rimangono *twistate*, ovvero il segnale che avanza su di una delle due linee differenziali si trova sempre ad avere, sull'altra linea, il suo negato.

Nel *frontplane* della scheda sono stati posti i connettori per la ricezione e trasmissione dei segnali su fibra ottica, i connettori RJ45 per la ricetrasmisione degli stessi segnali via doppino telefonico e i dispositivi utili al monitoraggio della scheda (led, testpoint, ecc...). In figura 2.14 illustriamo come si presenta la scheda sul fronte, in altre parole in che modo i dispositivi montati a pannello sono messi a disposizione dell'operatore quando la scheda sarà posta in un rack.

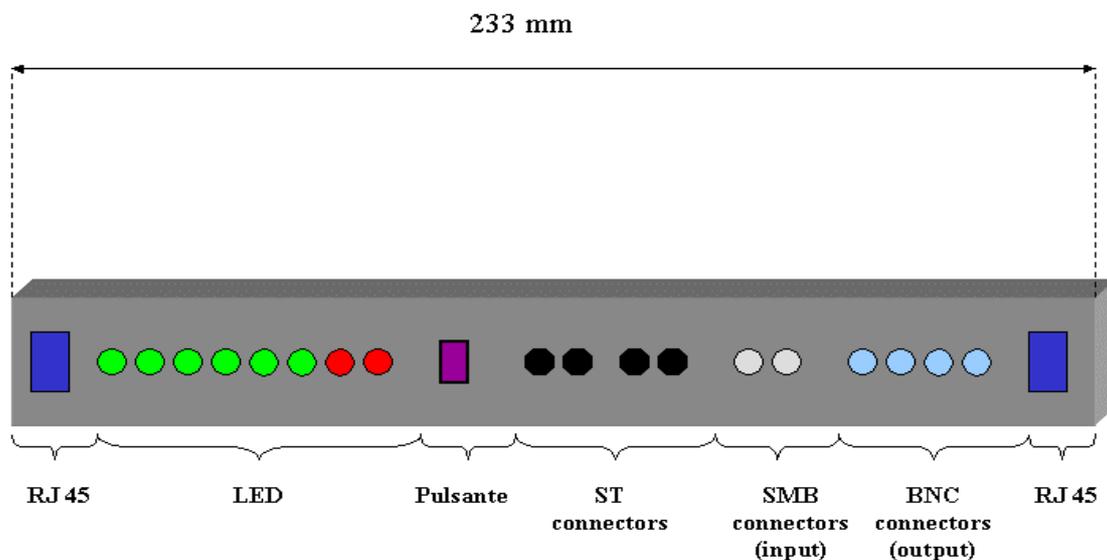


Figura 2.14: Frontplane della scheda di distribuzione del sincronismo

Bisogna ricordare che i dispositivi montati a pannello per essere visibili ed utilizzabili dall'utente una volta che la scheda è disposta nel cestello, dovranno essere montati ad angolo retto. Questa è una considerazione di base che nel proseguo daremo per nota senza tornarci sopra, tenendo inoltre conto che un modello di un componente, per esempio led, pulsante, connettore, ecc... (discorso non valido per i chip integrati), prevede una versione per il montaggio ad angolo retto. Come illustrato in figura e come si può notare dal *frontplane*, la scheda è prevista di due connettori **RJ45** classici come quelli utilizzati per le connessioni di rete (es. LAN Ethernet); il connettore RJ45 è un connettore maschio o femmina di tipo modulare simile alla presa telefonica, dove la disposizione dei segnali elettrici segue di norma lo standard 10BASE/T oppure 100BASE/TX (ovvero lo standard Ethernet attualmente utilizzato, anche presso l'istituto, per le reti di computer). La scheda di sincronismo sarà dotata di due connettori plug (femmina) RJ45, figura 2.15, che permetteranno di collegare tra di loro due schede di sincronismo o di fornire loro i segnali di clock e PPS tramite un cavo chiamato “cavo UTP categoria 5” (sigla sulla guaina “UTP CAT. 5”) il quale, come illustrato di seguito, alle due estremità presenta due jack (maschi) RJ45 e contiene 8 fili attorcigliati

(*twistati*) a coppie secondo lo standard **EIA/TIA 568A–B**. Risulta fondamentale non utilizzare cavi di categoria inferiore per non avere problemi d'incompatibilità e che abbiano una lunghezza massima non superiore a 100 mt, pena disturbi e deterioramento del segnale. Queste tipologie di cavi sono facilmente reperibili sul mercato e disponibili presso i laboratori dell'istituto, come gran parte della componentistica che si dovrà utilizzare nello sviluppo della scheda finale.

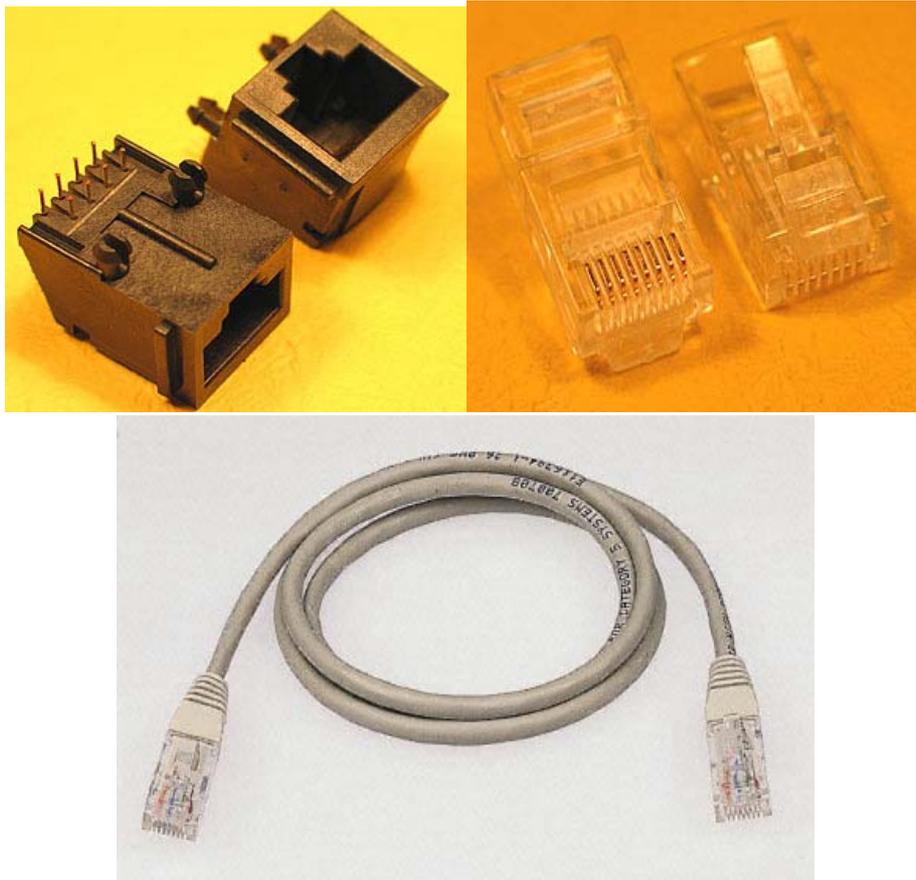


Figura 2.15: Vista in sequenza del plug RJ45 (montato sulla scheda), del jack RJ45 e del cavo UTP CAT. 5

Dalla figura 2.15 si può visibilmente notare che il connettore RJ45, nelle due versioni maschio e femmina, presenta sempre 8 contatti in rame in numero pari al numero di fili all'interno del cavo UTP.

Numero contatto e colore presa RJ45 (568B) Funzione (10BaseT e 100BaseTX)

1	arancio/bianco	TX +
2	arancio	TX -
3	verde/bianco	RX +
4	blu	Non usato
5	blu/bianco	Non usato
6	verde	RX -
7	marrone/bianco	Non usato
8	marrone	Non usato

Numero contatto e colore presa RJ45 (568A) Funzione (10BaseT e 100BaseTX)

1	verde/bianco	RX +
2	verde	RX -
3	arancio/bianco	TX +
4	blu	Non usato
5	blu/bianco	Non usato
6	arancio	TX -
7	marrone/bianco	Non usato
8	marrone	Non usato

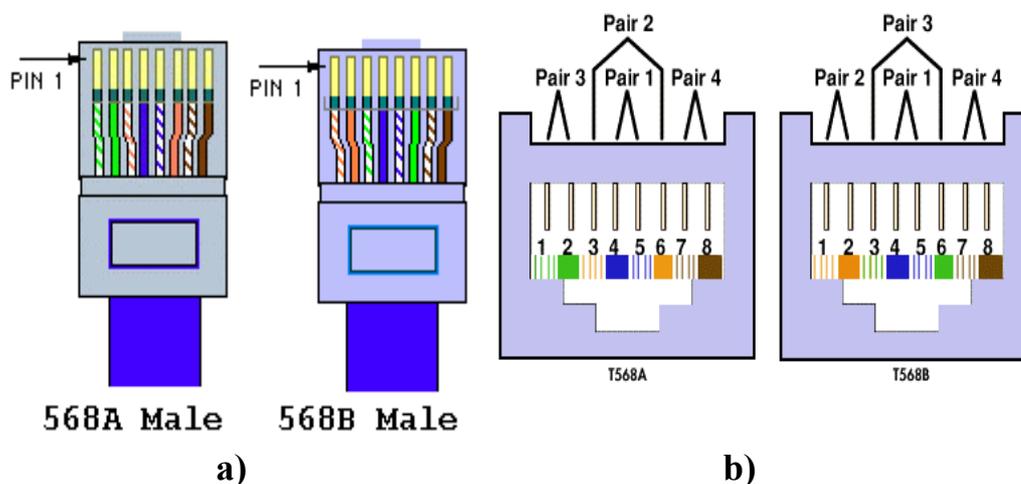


Figura 2.16: Numeri dei contatti e rispettivi colori per connettori RJ45 maschio (a) e femmina (b) secondo gli standard 568A,568B

In figura 2.16 sono riportati i collegamenti (con colori e rispettive funzioni) dei fili del cavo con il connettore RJ45 maschio, e conseguentemente con l’RJ45 femmina, nei due standard comunemente utilizzati.

Il plug RJ45 che andremo a montare sulla scheda sarà del tipo di figura 2.14. Tenendo conto che lo standard che si utilizzerà sarà l'EIA/TIA 568B essendo quello più in uso per le reti di PC, avremo che la disposizione e la numerazione (crescente verso destra) dei pin e della tipologia di collegamento, sarà quella mostrata in figura 2.16. La scelta è caduta su questo tipo di connessione per le caratteristiche stesse del tipo di connettore (*RJ45*) e di cavo che effettueranno il collegamento fisico. Dalla precedente descrizione dell'*RJ45* e del cavo UTP, si è infatti capito che sono adatti alla trasmissione e ricezione di segnali differenziali, perciò, poiché i segnali che intendiamo trasmettere sono di tipo differenziale, si è deciso di attuare questo tipo di scelta. Come si può notare dalla tabella di figura 2.16, i collegamenti tradizionali prevedono di utilizzare solo 2 coppie di fili (o di contatti), quindi per la distribuzione dei nostri segnali (di clock e PPS) abbiamo scelto di usare le due coppie lasciate libere. In tabella 2.2 è riportata la disposizione dei pin utilizzati nel nostro progetto.

PIN RJ45	Funzione
4	PPS +
5	PPS -
7	CK +
8	CK -

Tabella 2.2: Disposizione dei segnali di clock e PPS sui connettori RJ45

A pagina 1 dello schematico vediamo due connettori (femmina) RJ45 con i rispettivi segnali di clock e PPS e relativo testo. Ogni scheda sarà dotata di due connettori RJ45, uno per la trasmissione ed uno per la ricezione dei segnali di sincronismo, in modo da poter essere utilizzata sia nella stanza del ricevitore, sia in cabina. Proprio qui, per il momento, è prevista la disposizione di due schede di sincronismo; clock e PPS raggiungeranno in fibra ottica solo la scheda MASTER (per risparmiare sul numero di link in fibra), poi i segnali di sincronismo, già convertiti in segnali elettrici, verranno portati alla scheda SLAVE tramite il collegamento via RJ45 con cavo UTP CAT. 5. In sala di elaborazione si è pensato di operare in modo diverso: tramite il connettore RJ45 portiamo in input alla scheda i segnali di sincronismo già in forma differenziale dopo

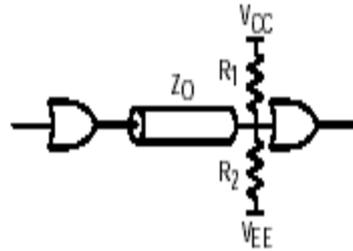
averli generati e trasformati in segnali differenziali tramite una circuiteria esterna alla nostra scheda. Ritornando alle schede da porre in cabina, ne servono 2 per il semplice motivo che ogni cestello riesce a contenere solo 8 ricevitori, e siccome il numero totale di questi è 16, occorre disporli su due cestelli, e quindi occorrono due schede di distribuzione del sincronismo (una per ogni cestello).

Un importante aspetto, parzialmente accennato quando si sono introdotti i livelli logici, riguarda le terminazioni cui sono soggetti i segnali di clock e PPS. Le terminazioni sono necessarie, indipendentemente dal livello logico del segnale, affinché tutte le piste della scheda risultino adattate. La condizione di adattamento, ricordiamo, è verificata idealmente da una linea infinita oppure quando la linea è chiusa su un carico di impedenza $Z_L = Z_C$ (dove Z_L e Z_C sono rispettivamente l'impedenza della linea e del carico). Z_C ha il significato fisico di impedenza che si vede ad una qualunque sezione della linea quando essa è infinita o, come nel nostro caso, di impedenza con cui si deve caricare la linea per realizzare la condizione di linea infinita (adattamento). In caso di adattamento avremo che l'onda progressiva del segnale è completamente assorbita dal carico e l'onda regressiva del segnale è nulla. Le terminazioni saranno quindi necessarie sulle piste dei segnali TTL e PECL in modo che tutta la potenza sia trasferita sul carico. In caso di vicinanza di due dispositivi, quindi per piste molto corte, non è necessaria la presenza delle terminazioni.

Visto che i dispositivi utilizzati hanno tutti un'impedenza di ingresso $Z_{IN} = 50\Omega$, si è scelto di adattare le piste ad un'impedenza caratteristica $Z_C = 50\Omega$. Scelta molto attuata anche in ambito commerciale dove, a seconda dei componenti utilizzati e delle loro impedenze di ingresso, l'adattamento può essere fatto anche a 75Ω . A seconda che il livello del segnale sia TTL o PECL, il tipo di terminazione per realizzare l'adattamento cambia. Per tale motivo si sono seguite le indicazioni delle *Application Note* (citate in precedenza ed allegate). Un esempio di terminazioni molto utilizzate nei circuiti stampati, è tratta proprio dall'*Application Note AN1406/D*, ed è illustrato in figura 2.17.

Questa è stata anche quella utilizzata da noi; si riferisce a livelli logici PECL ed impiegata per brevi distanze fra i dispositivi. Nel caso di distanze molto brevi non è necessario l'utilizzo delle terminazioni, mentre per lunghe distanze la tecnica sarà differente. Quest'ultimo caso non ci

riguarda in quanto tenderemo a disporre i componenti vicini gli uni agli altri per quanto la complessità della scheda lo consenta.



$$R1 = R2((V_{cc} - V_{tt}) / (V_{tt} - V_{ee}))$$

$$R2 = Z0((V_{cc} - V_{ee}) / (V_{cc} - V_{tt}))$$

$$V_{tt} = V_{cc}(R2 / (R1 + R2))$$

$$Z0 = R1 // R2$$

Figura 2.17: Tecnica di terminazioni per dispositivi ECL/PECL

In riferimento alla figura 2.17, i valori per un tipico settaggio sono $Z_0 = Z_C = 50\Omega$, $V_{CC} = 5V$, $V_{EE} = 0V$ (GND), da cui si ottengono i valori delle due resistenze $R1 = 83.3\Omega$ (*pullup resistor*) ed $R2 = 125\Omega$ (*pulldown resistor*). A pagina 1 dello schematico vediamo le terminazioni alle linee di input dei segnali differenziali di clock e PPS. I valori di $R1 = 83.3\Omega$ e $R2 = 125\Omega$ non sono disponibili commercialmente, perciò si sono scelti i seguenti due valori di resistenza: $R1 = 82\Omega$ e $R2 = 130\Omega$. Per i segnali TTL il discorso è analogo, ma visto che il livello logico non è differenziale, l'adattamento è realizzato mettendo un'unica resistenza di *pulldown* del valore di 50Ω .

Sempre a pagina 1 dello schematico possiamo notare la presenza di due diodi **LED** (*Light Emitter Diodes*) verdi che saranno presenti sul *frontplane* della scheda; entrambi servono per la visualizzazione dell'attivazione della scheda, cioè per indicare la presenza delle due tensioni di alimentazioni +5V e +3.3V. I componenti montati sono due led verdi standard a diffusione disponibili presso i laboratori dell'istituto e forniti dalla ditta *RS components*, le cui caratteristiche tecniche sono mostrate in figura 2.18.

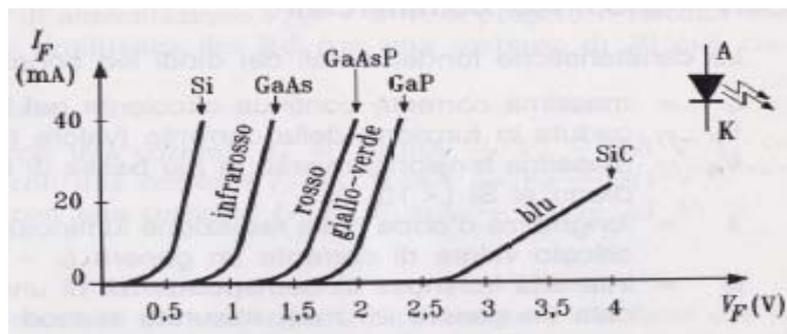


Figura 2.18: Caratteristiche di diversi tipi di LED confrontate con un diodo al silicio (Si)

- V_F = tensione diretta (*forward*) funzione della corrente (valore tipico);
- I_F = massima corrente continua diretta (*forward*) circolante;
- V_R = massima tensione inversa (*reverse*); minore di quella di un diodo al Si (<10V);
- λ = lunghezza d'onda della radiazione luminosa in nm, ad un specificato valore di corrente ($I_F = 20\text{mA}$ come riferimento);
- I_V = intensità luminosa in corrispondenza di una corrente specificata ($I_F = 20\text{mA}$ di riferimento), misurata in mcd (millicandele);

	Infrarosso (IRED)	Rosso	Giallo	Verde	Blu
simbolo	Ga As	Ga As P	Ga P	Ga P	Si C
materiale	Arseniuro di Gallio	Arseniuro-fosfuro di Gallio	Fosfuro di Gallio	Fosfuro di Gallio	Carburo di Silicio
I_F max (mA)	150	100	60	60	50
V_R (V)	3	3	3	3	1
tens. di soglia V_F (V) con $I_F = 20$ mA	1,1	1,6	2,1	2,1	3,5
lunghezza d'onda λ (Angstrom) [1 nm = 10 Å]	8980	6650	5750	5650	4750

Tabella 2.3: Tabella delle caratteristiche principali

I data sheets sono forniti di diagrammi $I_F = f(V_F)$ e $I_V = f(I_F)$, dove si può notare che l'intensità luminosa viene fornita come valore relativo, ovvero normalizzata rispetto l'intensità luminosa data da una corrente di 20mA che viene assunta come unitaria. In tabella 2.3 i dati sono riferiti ad un valore di I_F tipico di 20mA. Corrente ed intensità luminosa sono proporzionali (anche se non direttamente) e di conseguenza c'è un aumento della potenza dissipata. Il valore di I_F è funzione del particolare tipo di led utilizzato. Alcuni valori tipici per diodi commerciali sono:

- I_F nel campo 5 ÷ 50 mA per *diodi LED standard*;
- I_F nel campo 1 ÷ 30 mA per *diodi LED ad alta efficienza*;
- V_F nel campo 1.1 ÷ 4 V;

dove l'escursione all'interno del campo indicato è funzione del materiale utilizzato, ovvero del colore dell'emissione. Il colore dell'emissione dipende dai materiali utilizzati per la realizzazione della giunzione, e se si utilizza lo stesso materiale, la realizzazione di due diverse colorazione è ottenuta variando le percentuali di drogaggio. Analizzando le caratteristiche in polarizzazione diretta e la tabella, si osserva che quando viene superata la soglia di conduzione (diodo illuminato), la variazione di corrente può risultare anche rilevante per variazioni minime della tensione applicata. Questo impone l'inserimento in serie al diodo led, di una resistenza di limitazione in tutti gli impieghi circuitali del componente. Per il calcolo di tale resistenza di limitazione, si fissa la corrente che si vuole fare circolare sul led (consigliata dal costruttore) poi, nota la tensione di alimentazione, si applica la seguente relazione:

$$V_{cc} = V_f + R * I_f$$

Dai manuali del componente si ricava che per il led verde da noi utilizzato:

- per $I_F = 10\text{mA} \rightarrow V_F = 2.1\text{V}$;
- per $I_F = 20\text{mA} \rightarrow V_F = 2.2\text{V}$;

considerando un valore tipico di corrente di 10mA ed una conseguente tensione di 2.1V ai capi del diodo, abbiamo svolto le operazioni per il calcolo della resistenza di limitazione, ottenendo per le tensioni di

alimentazione di +5V e +3.3V rispettivamente 290Ω e 120Ω. Guardando lo schematico si nota che entrambe sono state scelte del valore commerciale di 562Ω. Questo perché visto che i due led devono essere accesi quando la scheda è attiva, si presume che stiano accesi per un lungo periodo, perciò abbiamo messo due resistenze di valore elevato in modo tale che sui due led circolino due correnti deboli (5.16mA e 2.14mA rispettivamente), ma comunque sufficienti da farli accendere, in modo da garantisce una maggior durata e un minor consumo. Considerazioni di questo tipo sono state fatte per tutti i diodi led che abbiamo deciso di mettere nel *frontplane* della scheda.

Per far lavorare l'intero circuito in condizioni ottimali sono stati operati alcuni accorgimenti; uno dei più importanti è sicuramente l'inserimento di condensatori (*condensatori di by-pass*) sulle alimentazioni, per prevenire variazioni improvvise della stessa. I condensatori posti tra le due alimentazioni e le rispettive masse sono elettrolitici polarizzati del valore di 10μF; l'utilizzo di condensatori elettrolitici, soprattutto se in tantalio, è consigliabile in quanto presentano una rumorosità elettrica minore rispetto a quelli in alluminio che, a parità di capacità, sono anche di dimensioni maggiori. L'elevata capacità prodotta su superfici ridotte, è dovuta alla grande costante dielettrica del piccolo strato di ossido isolante che si forma sull'elettrodo positivo. Dal canto loro i condensatori ceramici, anch'essi utilizzati nel progetto, hanno bassa costante dielettrica e quindi si distinguono per la stabilità del valore capacitivo e per le perdite molto basse. Ogni componente è disponibile sul mercato in diverse forme costruttive e dimensioni, quindi si è fatta molta attenzione alla scelta dei package per tutti i chip che andranno montati sulla scheda. I condensatori di *by-pass* sulle alimentazioni dei dispositivi, sono stati scelti con valore indicato sul relativo data sheet del componente; in caso di mancata segnalazione il condensatore è stato posto di default del valore di 0.1μF. Il montaggio del condensatore deve avvenire a ridosso del chip e comunque deve seguire opportune specifiche solitamente indicate sui manuali.

In questa pagina di schematico, come del resto per l'intero disegno, sono state introdotte, per semplicità di comprensione, parti di testo a fianco di ciascun dispositivo per indicare brevemente le funzionalità di ognuno.

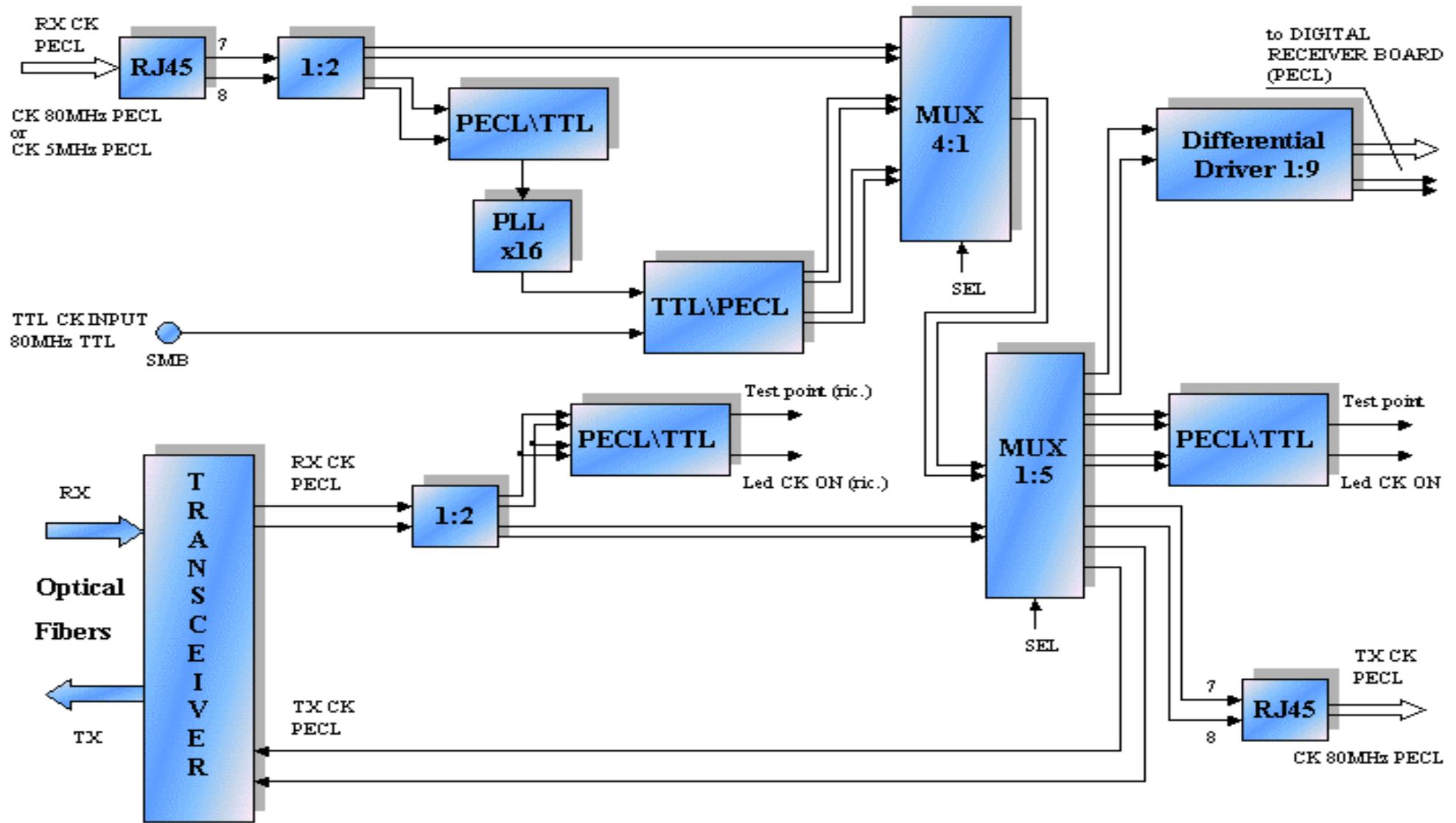
Clock (pag. 2)

La pagina 2 dello schematico (illustrata a pagina 38) è interamente dedicata alla distribuzione del segnale di clock ad 80MHz. Per rendere più chiaro come avviene la trasmissione e la ricezione del clock sulla scheda, e capire quali sono i dispositivi interessati, allegheremo di seguito, a pagina 55, la rappresentazione dello schema a blocchi.

Il presupposto da cui partire, e che già abbiamo introdotto, consiste nel fatto che la nostra scheda non si preoccupa della generazione del clock, ma solo della sua distribuzione; per la generazione del segnale verranno utilizzate soluzioni già implementate e testate con successo presso i laboratori dell'Istituto di Radioastronomia, e che metteranno a disposizione i segnali di sincronismo nelle forme a noi utili per il nostro progetto.

Il circuito prevede tre possibilità di input del segnale di clock, a seconda di dove si voglia utilizzare la scheda:

1. Il primo sarà un input del clock differenziale, quindi a livello logico PECL, realizzato tramite connettore femmina RJ45 (pin 7,8). Questo sarà utilizzato nella stanza del ricevitore per portare in ingresso il clock ad 80MHz o 5MHz già in forma differenziale, mentre in cabina sarà utilizzato per portare il segnale dalla scheda MASTER alla SLAVE tramite cavo UTP. Visto che il clock deve essere ad 80MHz, nel caso l'input sia alla frequenza di 5MHz dovremo introdurre un circuito moltiplicatore di frequenza come spiegheremo. La frequenza di 5MHz è un valore molto interessante perché all'Istituto di Radioastronomia è presente un *MASER* all'Idrogeno che genera un'onda sinusoidale a tale frequenza. Date le caratteristiche di stabilità di questo segnale, una volta squadrato e moltiplicata per 16 ci permetterà di avere un clock ad 80 MHz estremamente "puro" da distribuire ai vari ricevitori. In figura 2.19 si vede il punto in cui è possibile acquisire, nella stanza del ricevitore, il segnale del H-Maser.



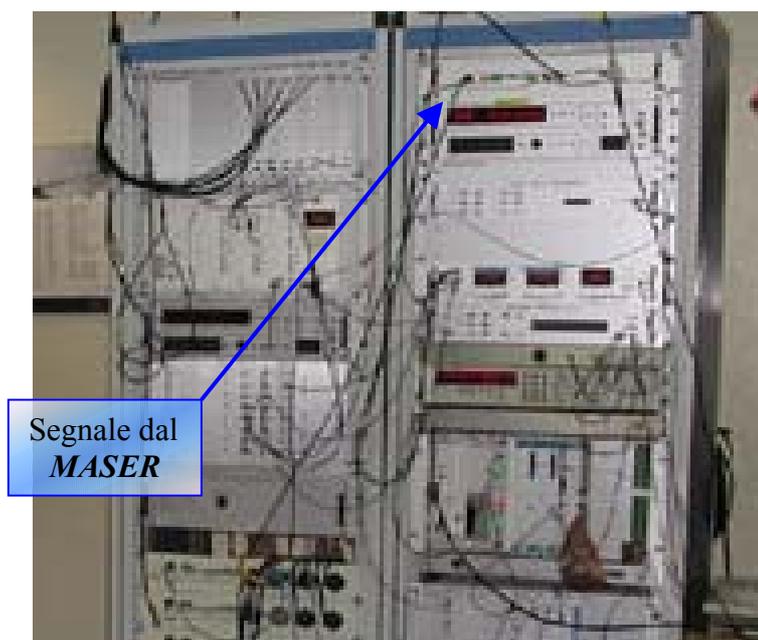


Figura 2.19: Segnale H-MASER presente all'interno della stanza del ricevitore

2. La seconda soluzione di input prevede l'ingresso del clock digitale (già squadrato) a 80MHz a livello logico TTL tramite l'utilizzo di un connettore *SMB*. Questo connettore, rappresentato in figura 2.20, verrà montato ad angolo retto e consentirà l'input del clock mediante cavo coassiale direttamente dal circuito generatore del segnale, quando ci troviamo all'interno della sala di elaborazione.



Figura 2.20: Tipologie di connettori *SMB*

3. La terza possibilità è costituita dal *transceiver HFBR-5805AT* dell'*Agilent*, dispositivo elettro-ottico che funziona fino a 155MBd, col quale sarà possibile trasmettere e ricevere il clock via fibra ottica dalla stanza del ricevitore alle cabine e viceversa. Tale dispositivo può essere alimentato a 3.3V o a 5V (nel nostro caso si è scelta l'alimentazione a 5V). La scelta è caduta su questo transceiver anche per le buone caratteristiche sul jitter che presenta: il limite massimo per il jitter_{pp} (picco-picco) per il trasmettitore è di 2 nsec, mentre è di 3 nsec per il ricevitore. I segnali di ritorno dalle cabine ci permetteranno il monitoraggio dell'intero sistema di distribuzione, ed in questo modo un operatore posto nell'edificio centrale riuscirà a capire dove andare ad intervenire nel caso di errori sui segnali trasmessi e/o ricevuti. Il segnale ottico ricevuto è immediatamente convertito in elettrico e mediante il circuito di polarizzazione è portato ai livelli logici PECL.

A seconda della posizione in cui viene fatta lavorare la scheda, è necessario poter scegliere un ingresso piuttosto che un altro, inoltre, visto che gli ingressi sono TTL e PECL, sarà fondamentale l'adattamento dei diversi livelli logici e l'inserimento di opportuni traslatori di livello. Gli ingressi differenziali PECL del clock, che come anticipato possono essere a 80MHz oppure a 5MHz, entrano nel dispositivo *MC100EL11* della ditta *OnSemi (ON Semiconductor)* il quale funziona da buffer differenziale 1:2; dato in ingresso un segnale differenziale (PECL) provvede a restituire all'uscita una coppia dello stesso segnale differenziale (PECL) di input. Lavora con livelli logici PECL ed ha un piccolo tempo di ritardo di propagazione (265psec) fra l'ingresso e le uscite. Questa suddivisione dell'ingresso differenziale del clock è necessaria in quanto nella stanza del ricevitore posso decidere di dare in input alla scheda 80MHz o 5MHz differenziali; nel primo caso mi interessa la prima coppia di uscite del buffer 1:2, la quale entra direttamente in un multiplexer 4:1; nel secondo caso mi interessa la seconda coppia, la quale dovrò far passare attraverso un moltiplicatore di frequenza che porti la frequenza del clock agli 80MHz desiderati per la trasmissione. Entrambe le coppie del segnale di clock (PECL) in uscita dal buffer 1:2 saranno opportunamente terminate come descritto precedentemente, al fine di ottenere un adattamento a 50Ω. Visto che il moltiplicatore di frequenza lavora con livelli logici TTL, dovremo utilizzare un traslatore di livello PECL/TTL prima di tale dispositivo. Il

traslatore in questione è il *MC100ELT21* sempre della *OnSemi*. Questo dispositivo presenta un ingresso denominato V_{BB} . La V_{BB} è una tensione di riferimento non disponibile sulla nostra scheda perché viene utilizzata solo per ingressi single-ended; in quel caso l'ingresso verrebbe collegato ad un pin di input, mentre quello rimasto libero verrebbe collegato a V_{BB} . Siccome invece noi lavoriamo con segnali differenziali, il pin V_{BB} è stato lasciato aperto (*no-connected*) come indicato sul data sheet. La moltiplicazione di frequenza è stata realizzata mediante PLL (integrato *ICS570*). Questo si presenta in due versioni:

- A, con tensione di alimentazione +5V;
- B, con tensione di alimentazione +3.3V.

La scelta è caduta sul modello B in quanto, da precedenti test, è risultato più affidabile soprattutto in termini di jitter. L'integrato è stato poi collegato come suggerito sul data sheet. Il segnale TTL a 5 MHz è utilizzato come riferimento ICLK all'ingresso del moltiplicatore di frequenza, di cui riportiamo lo schema a blocchi in figura 2.21.

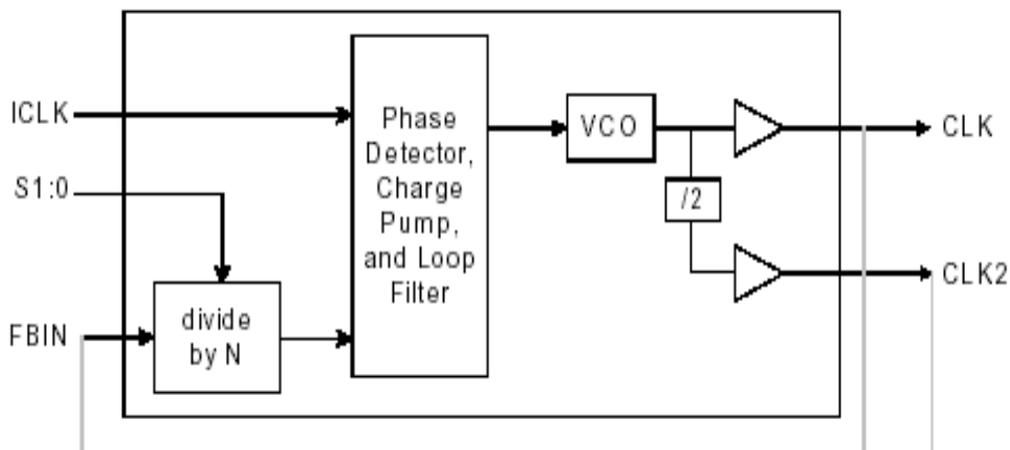


Figura 2.21: Schema a blocchi dell'integrato ICS570A/B

Il segnale di riferimento ICLK è confrontato con il segnale proveniente dal divisore per N; quest'ultimo è creato dividendo la frequenza del segnale in retroazione da CLK (o da CLK2) per un numero N impostato tramite i segnali di stato S0 e S1. L'uscita del Phase Detector è la tensione di controllo del *VCO* (*Voltage Controlled Oscillator*), la cui uscita è disponibile sia direttamente, tramite il segnale CLK, sia a metà frequenza

tramite CLK2. Nel nostro progetto abbiamo scelto di utilizzare come uscita e come segnale di retroazione su FBIN, il segnale **CLK2** (anziché CLK, lasciato no-connected) e questo perché tale configurazione garantisce un minor jitter in uscita. Visto che all'uscita del moltiplicatore si necessita un segnale alla frequenza di 80MHz, tramite l'utilizzo delle tabelle presenti sul data sheet del componente andremo a collegare S1 alla tensione di alimentazione e lasceremo non connesso S0 per ottenere la moltiplicazione per 16 desiderata. Abbiamo inserito due connettori a 3 pin in modo tale che con un semplice jumper sia possibile collegare S0 ed S1 alla tensione di alimentazione, di massa o lasciarli sconnessi, così da poter scegliere anche altri fattori moltiplicativi in previsione di futuri utilizzi. All'ingresso e all'uscita dell'*ICS570B* non sono previste terminazioni a 50Ω per la realizzazione dell'adattamento in quanto la configurazione adottata e consigliata sul data sheet già prevede un adattamento a 50Ω. A questo punto l'uscita del moltiplicatore di frequenza entra in un traslatore di livello TTL/PECL insieme con l'ingresso TTL ad 80MHz del segnale di clock proveniente dal connettore *SMB* opportunamente terminato a 50Ω, in modo da poter lavorare sempre con segnali differenziali. Per la traslazione di livello si è utilizzato l'integrato *MC100ELT22* a due canali della *OnSemi*.

Il passo successivo risulta fondamentale; si hanno tre coppie di segnali differenziali PECL opportunamente terminate come detto, che sono dirette in input ad un multiplexer differenziale *MC100EL57* della *OnSemi*; le tre coppie di segnale sono rispettivamente:

- Clock PECL a 80MHz derivante dall'input differenziale mediante RJ45;
- Clock PECL a 80MHz derivante dalla moltiplicazione in frequenza (x16) del segnale differenziale a 5MHz proveniente dal MASER;
- Clock PECL, opportunamente traslato, derivante dall'ingresso TTL a 80MHz.

Al fine di poter scegliere una sola delle suddette coppie, a seconda dell'input che si deciderà di utilizzare per il segnale di clock, tutte e tre verranno poste in ingresso ad un mux, come schematizzato nello schema a blocchi allegato. L'integrato *MC100EL57* è un multiplexer differenziale a 4

ingressi ed una sola uscita (4:1) che lavora con livelli logici PECL. Per selezionare opportunamente uno dei tre ingressi a disposizione utilizzeremo i comandi SEL0 e SEL1 secondo le configurazioni della tabella presente sul data sheet e parzialmente indicata sullo schematico. Un'importante caratteristica del componente è che sui pin D e SEL è presente una resistenza interna di *pulldown* tale per cui se i pin di selezione sono non connessi, per default sono considerati, dal dispositivo stesso, a potenziale basso (GND). Per questo motivo si sono disposti due jumper a 2 pin, di cui uno direttamente collegato al pin di selezione dell'integrato, e l'altro collegato alla tensione di alimentazione mediante un resistore di *pullup* del valore di $18K\Omega$ che limita la corrente entrante nel dispositivo; in questo modo posso lasciare libero il collegamento per avere il pin di selezione collegato al potenziale basso (GND), oppure collegarlo al potenziale alto (V_{CC}) mediante il jumper sopra citato. L'uscita differenziale, coincidente con l'ingresso selezionato (opportunamente terminata) va in ingresso ad un ulteriore multiplexer. Tramite questo secondo mux (integrato *MC100EP14*) si deciderà se mandare in uscita il segnale sopra o quello proveniente dal transceiver elettro/ottico.

La selezione degli ingressi avviene esattamente nel modo descritto per l'altro multiplexer: il pin di abilitazione del dispositivo (ENABLE = EN) è attivo basso, quindi per collegarlo al potenziale di massa basta non connetterlo, così come avveniva per il pin CK_SEL di selezione degli ingressi. Le cinque uscite da questo mux sono così destinate:

- Due vanno ad un traslatore di livello PECL/TTL a 2 canali *MC100ELT23* all'uscita del quale sono collegati un **test point** (connettore *BNC*) ed un **LED** verde che segnala lo stato di clock presente.
- La terza uscita PECL, anch'essa terminata a 50Ω , è destinata al 1:9 clock driver differenziale *MC100E111* della *OnSemi*. Otto delle nove uscite che questo chip riesce a fornire, serviranno per distribuire il clock agli otto ricevitori digitali presenti in ognuno dei due cestelli che troviamo in ogni cabina. In futuro è previsto che queste uscite possano anche essere utilizzate nella stanza di elaborazione per distribuire il clock a 9 delle 14 schede che trasmetteranno il sincronismo via fibra ottica verso le 14 cabine. Le otto uscite differenziali del *MC100E111*

verranno collegate ai primi 16 pin (A1 ÷ A16) del primo connettore descritto a pagina 1 dello schematico.

- La quarta uscita differenziale del multiplexer è destinata al connettore RJ45 per la trasmissione del clock verso la scheda SLAVE. In futuro, nella stanza del ricevitore, si prevede di utilizzare questa uscita per inviare il clock ad una scheda SLAVE che si occupi di distribuire i segnali di sincronismo alle restanti 5 delle 14 schede considerate nell'esempio sopra. In questo modo si andrebbe a completare la distribuzione a tutte le 14 cabine.
- L'ultima uscita è destinata al ritorno, ovvero alla trasmissione, verso l'edificio centrale, del clock ricevuto in cabina. Le due linee differenziali di segnale andranno alla parte di trasmissione del transceiver, che tramite il circuito di polarizzazione lo renderà adatto (in termini di livello logico ed adattamento di impedenza) alla successiva trasmissione in fibra ottica. Il segnale di ritorno è molto utile in quanto ci permette di fare della diagnostica sullo stato del sistema. In particolare è possibile capire se ci sono stati errori e dove questi sono avvenuti.

Per quanto riguarda il segnale di clock trasmesso per mezzo della fibra ottica, questo viene ricevuto dal transceiver, il quale mediante il circuito di polarizzazione provvede ad adattarlo. Il clock PECL entra in un buffer 1:2 *MC100EL11* che provvede a fornire alla sua uscita due copie dello stesso segnale di ingresso. Entrambe le uscite dell'integrato, destinate ad altri due dispositivi, sono terminate. La prima di queste va in ingresso al multiplexer 1:5 preso in considerazione sopra (integrato *MC100EP14*), mentre l'altra va in input ad un traslatore di livello PECL/TTL a 2 canali (*MC100ELT23*) della *OnSemi*, allo scopo di poter verificare la funzionalità del segnale di clock ricevuto (fase di RICEZIONE) qualora la scheda funzioni come scheda MASTER in cabina, o sia disposta nella stanza del ricevitore. Le due uscite dell'*MC100ELT23*, a destra in basso a pagina 2 dello schematico, sono collegate ad un **test point** ed ad un **LED** verde. Il test point è costituito da un connettore *BNC*, diversamente dal connettore *SMB* utilizzato per l'input del clock TTL. Al test point sarà possibile collegare uno strumento di misura, come un oscilloscopio che utilizza connettori *BNC*, tramite il quale

si potrà valutare l'andamento del segnale. L'altra uscita del traslatore è collegata ad un led verde che verifica la presenza del segnale di clock. La resistenza di limitazione è stata calcolata con il metodo visto sopra, ed il suo valore commerciale è di 270Ω . Non ci interessa che il valore dell'intensità di corrente sia elevatissimo, ma sufficiente da far accendere il led quando il clock è attivo, cioè per metà del suo periodo 6.25nsec ; per questo desideriamo che la corrente sia tale da emettere una luce ben visibile per un così breve lasso di tempo, e che permetta di vedere il led lampeggiare. Infatti il led funziona non tanto in base alla potenza del segnale che vi arriva, ma in base alla durata dell'impulso: maggiore è la durata, maggiore è il periodo di luce del led; in questo caso (come avviene per il PPS) per accendere e spegnere il led ho bisogno di forti impulsi di corrente. Avremmo potuto collegare l'anodo all'uscita dell'*MC100ELT23* ed il catodo verso il potenziale di massa attraverso la resistenza; configurazione scartata in quanto il basso valore del potenziale di uscita dell'*MC100ELT23*, circa 2.4V , non mi avrebbe garantito un valore di corrente tale da soddisfare le specifiche suddette. Abbiamo poi predisposto sul collegamento un condensatore del valore di $0.1\mu\text{F}$ ed un diodo *1N4148* per l'inizializzazione dell'accensione del led all'arrivo del segnale di clock; il problema infatti sorge perché il led, essendo collegato alla tensione di alimentazione $+5\text{V}$, è acceso non appena la scheda è attiva anche in assenza del segnale di clock. Perciò utilizzando questa configurazione, tramite l'operazione di carica e scarica del condensatore, abbiamo ovviato al problema dell'iniziale accensione del led anche in assenza di segnale.

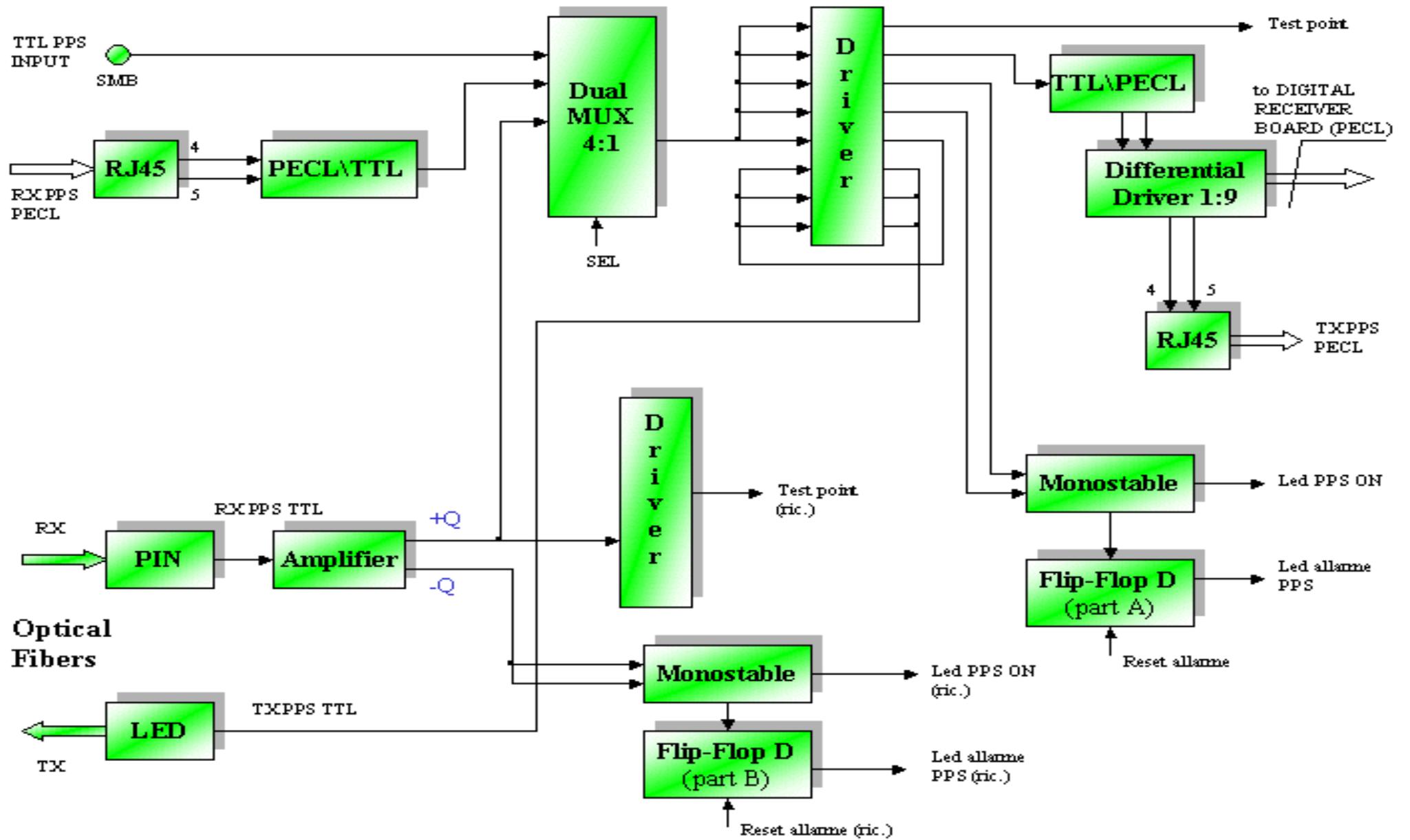
La descrizione della parte della scheda di sincronismo relativa al clock si può ritenere conclusa, ma vogliamo ricordare un aspetto non preso in considerazione quando si è parlato della segnalazione degli errori. Abbiamo spesso detto quanto sia importante mantenere controllato il sistema per evitare e correggere la presenza di errori, quali per esempio la mancanza di impulsi. La visualizzazione di impulsi mancanti non è stata possibile, almeno per le ricerche fatte durante il periodo di tirocinio, in quanto non sono stati trovati sul mercato dei dispositivi (monostabili, flip-flop, ecc....) in grado di funzionare a frequenze elevate come gli 80MHz del nostro clock.

PPS (pag. 3-4)

Le pagina 3 e 4 dello schematico, mostrate a pagina 39 e 40, sono dedicate alla distribuzione del PPS, che ricordiamo essere un segnale a frequenza 1 Hz ($T_{PPS} = 1\text{sec}$). In particolare pagina 4, e lo vedremo meglio più avanti, riguarda la verifica della correttezza del segnale per quanto concerne la RICEZIONE, ovvero per il funzionamento della scheda all'interno della stanza del ricevitore o per la scheda MASTER all'interno delle cabine. Per una migliore comprensione di come avviene la distribuzione del PPS all'interno della scheda di sincronismo, alleghiamo a pagina 64 lo schema a blocchi. Anche qui è doverosa una premessa importante, già fatta a tempo debito per il clock: la scheda non si occuperà della generazione del PPS, per la quale si utilizzeranno soluzioni già realizzate e testate con successo, ma solamente della sua distribuzione.

Analogamente a quanto avviene per il clock, anche per il PPS ho tre possibilità di input, con le stesse funzionalità già ampiamente discusse nella trattazione della distribuzione del clock:

1. Ingresso differenziale del segnale mediante l'utilizzo del connettore femmina RJ45 (pin 4,5).
2. Ingresso del PPS a livello logico TTL tramite l'utilizzo di un connettore *SMB*.
3. La terza possibilità è costituita dal **LED** (*Light Emitting Diode*) *HFBR-1313T* e dal fotodiodo *PIN HFBR-2316T* entrambi dell'*Agilent*. In questo caso non abbiamo utilizzato il transceiver *HFBR-5805AT* a causa dei suoi limiti tecnologici, in quanto tutti i dispositivi con driver interno hanno in genere una frequenza minima di lavoro, irraggiungibile nel nostro caso. Precedenti test fatti in Istituto hanno infatti evidenziato che la frequenza minima di lavoro dell'*HFBR-5805AT* è di poco inferiore a 5MHz, mentre la frequenza del PPS è di solo 1Hz, rendendo impossibile la trasmissione di tale segnale tramite un dispositivo accoppiato in alternata (come l'*HFBR-5805AT*).



Abbiamo quindi scelto i dispositivi suddetti, sprovvisti di driver interno e comandati da un circuito ad hoc in grado di funzionare a bassissime frequenze. Il circuito di pilotaggio dell'*HFBR-1312T* e *HFBR-2316T* è stato realizzato con accoppiamento in continua (*DC coupled*) e con una scelta di componenti dedicati al funzionamento ad una bit rate così bassa.

Dallo schematico è possibile vedere il circuito di pilotaggio per il *LED* e per il *PIN* tratti, a meno di eventuali accorgimenti, direttamente dal data sheet. Il ponte di resistenze serve per bilanciare i livelli bassi del fotodiode, con quelli d'ingresso del comparatore *LT1016* della *Linear Technology*, il quale appunto amplifica i livelli dei segnali al suo ingresso per pilotare poi una serie di dispositivi. La resistenza di valore 0Ω nel circuito di driver serve per prevedere l'inserimento futuro di una resistenza in grado di calibrare il ponte di resistenze secondo le proprie esigenze. La differenza fondamentale fra clock e PPS, oltre alla frequenza di lavoro, riguarda il livello logico del segnale trasmesso in fibra. Il PPS infatti, per i motivi elencati, è trasmesso e ricevuto dalle schede con livelli TTL e viene poi traslato in PECL al fine di poterlo trasmettere, coerentemente al clock, alle schede dei ricevitori digitali.

L'uscita positiva (+Q) del comparatore *LT1016* è portata in input ad un multiplexer insieme con gli altri due ingressi. Tale multiplexer è il chip *74F153* della *Fairchild*, che dispone al suo interno di due mux a quattro ingressi ed un'uscita 4:1. Questo opera con livelli logici TTL ed i suoi pin di abilitazione $EN\backslash$ sono attivi bassi. La selezione degli ingressi avviene mediante i pin di stato S0 ed S1 seguendo le configurazioni della tabella presente sul data sheet. In particolare sono stati predisposti due jumper a 2 pin di cui uno collegato al potenziale di massa TTL e l'altro collegato rispettivamente ai pin S0 ed S1 ed alla tensione di alimentazione tramite un resistore da $4.7K\Omega$. Questo limita la corrente in ingresso al dispositivo ed evita che brusche variazioni dell'alimentazione incidano sui segnali, mantenendoli stabili. In questo modo, mediante il jumper, posso portare i pin a potenziale basso (*Low*), oppure lasciarli liberi per mantenerli a potenziale alto (*High*). Con questa selezione stabilisco se la scheda deve funzionare in trasmissione all'interno della stanza del ricevitore, oppure in ricezione all'interno delle cabine come MASTER o SLAVE, con le stesse funzioni indicate in precedenza per la distribuzione del clock.

L'uscita del mux entra nei buffer contenuti nel *74ACTQ244* della ditta *Fairchild* al fine di adattare in modo opportuno i livelli di corrente e di impedenza per il pilotaggio dei dispositivi a valle. Le uscite di questi buffer sono così impiegate:

- Quattro buffer sono utilizzati dal circuito di pilotaggio del LED *HFBR-1312T*, il quale prepara il PPS per essere trasmesso in fibra.
- Un'altra uscita del buffer è collegata ad un connettore *BNC* che servirà come **test point** per il segnale PPS.
- L'uscita del secondo buffer costituisce l'ingresso per un traslatore di livello TTL/PECL (*MC100ELT20* della *OnSemi*) in modo da poter interfacciare il livello logico con quello dei segnali di uscita; l'uscita differenziale di questo dispositivo, adattata a 50Ω , è l'input per il dispositivo *MC100E111* le cui caratteristiche sono state viste in occasione della distribuzione del clock. Tale dispositivo è in grado di lavorare anche a frequenze basse (quale 1 Hz del PPS). Otto delle sue nove uscite sono destinate ai 16 pin del primo connettore (U11 a pagina 1 dello schematico) di output (A17 ÷ A32) e quindi destinate a ciascuno degli otto ricevitori digitali presenti in ogni cestello delle cabine. La nona uscita differenziale verrà utilizzata per trasmettere il PPS ai pin 4, 5 del connettore RJ45 per la trasmissione del segnale dalla scheda MASTER alla SLAVE (in cabina), oppure dalla scheda di trasmissione (nella stanza del ricevitore) ad ulteriori schede che provvederanno alla trasmissione del segnale stesso a tutto il sistema.
- Le uscite del terzo e quarto buffer sono destinate a due monostabili, entrambi disponibili all'interno di uno stesso integrato (*DM74LS123* della *Fairchild*). Entrambi i monostabili, costituiti da flip flop e relativo circuito di pilotaggio, sono TTL compatibili e retriggherabili, in grado di generare all'uscita segnali di durata e duty cycle variabili in funzione dell'input e del valore del circuito RC esterno.

L'uso dei monostabili permette di allungare l'impulso estremamente stretto del PPS, in modo tale che questo riesca ad accendere un led di segnalazione. Seguendo le disposizioni del data sheet, mostrate in tabella 2.4, il segnale di clock in uscita al buffer verrà collegato al pin B, il quale è attivo alto e permette la transizione del segnale di uscita in corrispondenza del fronte di salita del segnale di ingresso (in questo caso il PPS). Al contrario A è attivo basso e permette le transizioni sul fronte di discesa (non essendo usato è stato collegato a massa). Sempre secondo le indicazioni di tabella 2.4, abbiamo collegato il segnale di CLEAR (CLR) attivo basso) alla tensione di alimentazione tramite un resistore da 4.7KΩ che limita la corrente in ingresso al dispositivo stesso.

Function Table

Inputs			Outputs	
CLEAR	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑		
H	↓	H		
↑	L	H		

H = HIGH Logic Level
 L = LOW Logic Level
 X = Can Be Either LOW or HIGH
 ↑ = Positive Going Transition
 ↓ = Negative Going Transition
 = A Positive Pulse
 = A Negative Pulse

Tabella 2.4: Tabella delle funzioni del DM74LS123

La parte più delicata ha riguardato il dimensionamento della capacità (C_X) e della resistenza (R_X) esterni, per le quali si è seguito il collegamento e le formule consigliate. Le disposizioni del data sheet impongono che il periodo del segnale di uscita segua la seguente formula $T_w = K * R_x * C_x$ dove $K = 0.37$ per $C_X \gg 1000\text{pF}$, altrimenti dovremmo determinare il valore di K in funzione di C_X scelto in base ai grafici forniti; per una miglior calibrazione del periodo di uscita avremmo potuto porre in serie ad R_X un potenziometro. Si è deciso che l'impulso in uscita dal monostabile rimanga alto per circa 200 msec, tempo a noi sufficiente per ben visualizzare l'accensione del led verde in presenza del segnale. Prendendo i valori commerciali a disposizione per resistenze e condensatori, abbiamo ottenuto

i valori e gli andamenti temporali indicati in figura 2.22. All'arrivo del fronte di salita del PPS l'uscita, l'uscita Q si alzerà e rimarrà alta per il periodo stabilito, mentre l'uscita in forma negata si comporterà esattamente all'opposto. Abbiamo poi utilizzato l'uscita negata Q\, collegando il led verde verso la tensione di alimentazione mediante una resistenza da 270Ω, tale per cui sul led circoli una corrente dell'ordine dei 10mA sufficiente a farlo accendere. Avremmo potuto anche utilizzare l'uscita Q collegando il led verso massa attraverso la resistenza di limitazione, ma in questo caso il monostabile non sarebbe stato di grado di fornire al led una corrente sufficiente alla sua accensione.

$$T_w = K * R_x * C_x = 220msec$$

$$K = 0.37$$

$$R_x = 18K\Omega$$

$$C_x = 33\mu F$$

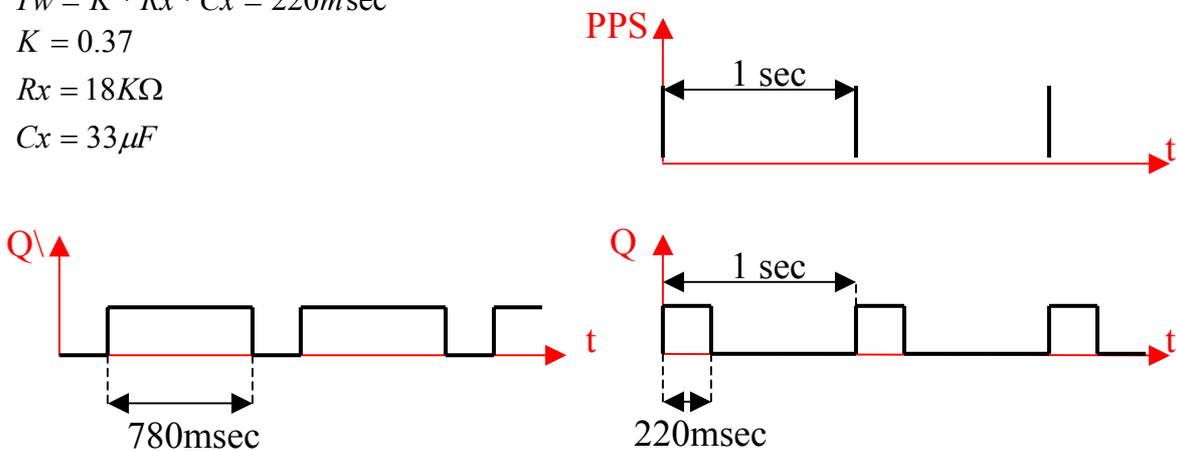


Figura 2.22: Andamenti delle temporizzazioni.

L'utilizzo del monostabile nel caso del clock, per operare allo stesso modo del PPS, non è stato possibile in quanto il periodo $T_{CK} = 12.5 nsec$ è insufficiente per attuare tale soluzione.

Un altro aspetto che tratteremo di seguito è una parte importante della problematica riguardante il monitoraggio del sistema di distribuzione del sincronismo, che per il clock a 80MHz non è stato affrontato per motivi riguardanti l'elevata frequenza di lavoro che avrebbero dovuto avere i dispositivi. In particolare abbiamo previsto sulla scheda un **led rosso** di segnalazione che indicasse l'eventuale mancanza di 1 impulso di PPS durante la sequenza trasmessa. Ciò lo si è attuato utilizzando il secondo dei due monostabili (*part B* a destra sullo schematico) presenti all'interno del DM74LS123. Il principio di funzionamento è analogo a quello descritto in precedenza e le modalità di collegamento sono le stesse, cambierà

ovviamente il dimensionamento del circuito RC in quanto cambiano le funzioni che dovrà svolgere il monostabile. In figura 2.23 sono illustrati i valori e gli andamenti delle temporizzazioni del monostabile, ottenute da valori commerciali di resistenze e condensatori. Le uscite complementari del monostabile Q e Q\ sono rappresentate nel caso in cui gli impulsi di PPS arrivino tutti in sequenza (funzionamento corretto) e nel caso in cui si verifichi la mancanza di un impulso durante la sequenza (funzionamento errato).

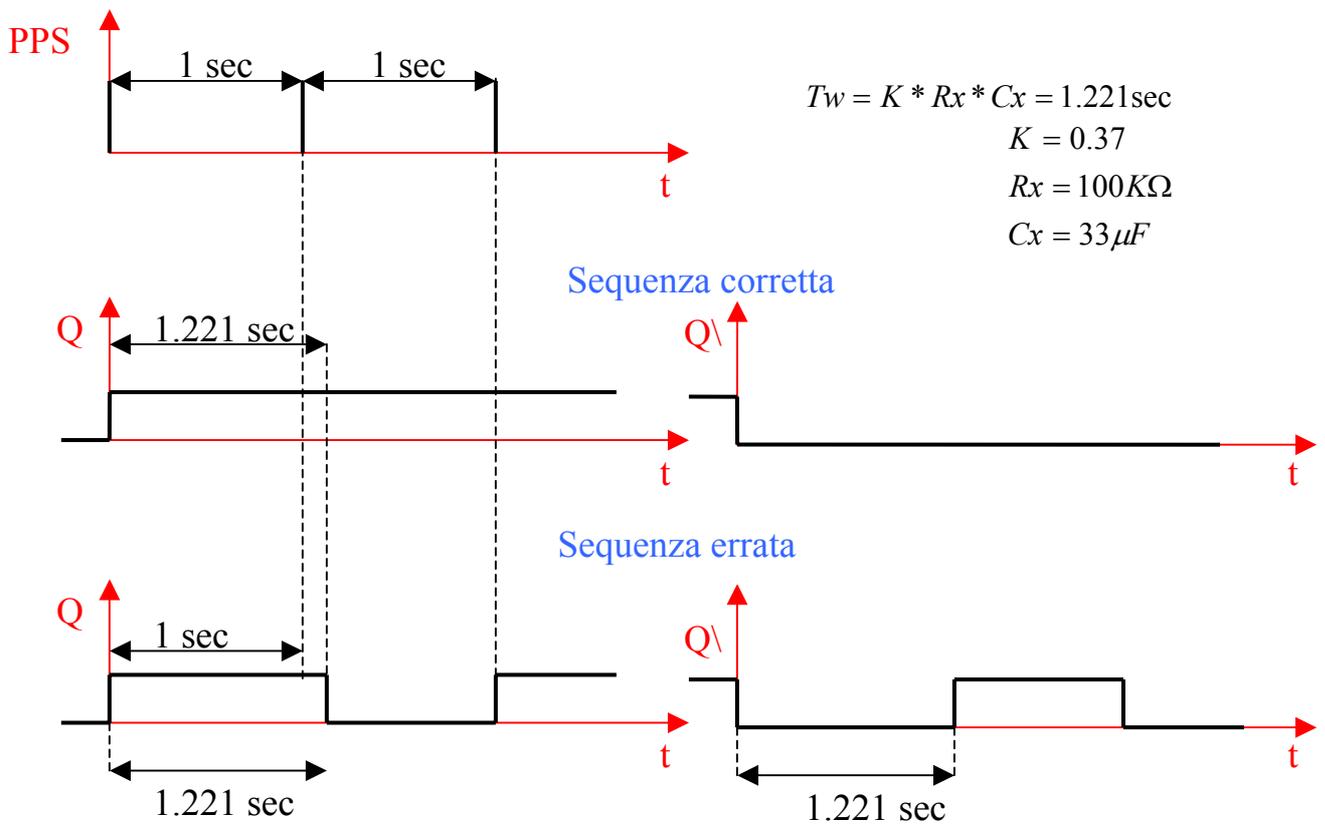


Figura 2.23: Andamento delle temporizzazioni

Quando arriva un fronte di salita del PPS il monostabile genera un impulso di durata 1.221 sec (imposto dal dimensionamento di R_x e C_x), perciò se prima della fine di tale tempo arriva un altro fronte del PPS, come dovrebbe succedere in quanto tale impulso dovrebbe arrivare dopo 1 sec, questo retriggera il monostabile il quale genera un altro impulso di durata 1.221 sec. Quindi nel caso di funzionamento corretto l'uscita Q rimane sempre alta. Se invece dopo 1 sec l'impulso non arriva (condizione d'errore: impulso mancante), dopo 1.221 sec l'uscita Q del monostabile

torna bassa, e ritornerà alta solo all'arrivo del successivo impulso PPS. L'uscita del monostabile dovrà andare a pilotare un sistema in grado di memorizzare il momento in cui l'uscita Q è andata bassa (mancanza di un impulso nella sequenza). Per fare ciò si utilizzano dei **flip flop D** comandati dall'uscita negata Q̄. Il dispositivo utilizzato è il *DM74LS74* della *Fairchild*, il quale contiene due **flip flop D**, TTL compatibili e positive edge triggered, con i relativi segnali di PRESET (PR̄) e CLEAR (CLR̄) entrambi attivi bassi. Secondo il criterio di funzionamento del flip flop, mostrato in tabella 2.5, il pin D che costituisce l'ingresso dello stesso è portato verso la tensione di alimentazione, così da tenerlo sempre a livello alto. Anche in questo caso si inserisce una resistenza di 4.7KΩ per limitare la corrente che entra nel chip. Stesso discorso per il PRESET (attivo basso) collegato a V_{CC}. In figura 2.24 sono indicate le temporizzazioni che spiegano il funzionamento sia nel caso di sequenza corretta che di sequenza errata. Utilizzeremo poi l'uscita negata Q̄ del flip flop per accendere un led rosso che segnalerà la mancanza di un impulso. La resistenza in serie al led è stata posta del valore di 562Ω, quindi un valore maggiore rispetto ai casi precedenti dove si utilizzava il led verde; questo è dovuto essenzialmente al fatto che la tensione di soglia del led rosso (vedi tabella 2.3) è minore, quindi in questo modo cercheremo di limitare al massimo la corrente entrante nel dispositivo, garantendo al led una maggiore durata. Una volta accertato l'errore (led rosso acceso), il sistema viene ripristinato attivando il segnale di CLEAR (CLR̄) tramite un pulsante posto sul pannello frontale della scheda.

Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	\overline{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	$\overline{Q_0}$

H = HIGH Logic Level
 X = Either LOW or HIGH Logic Level
 L = LOW Logic Level
 ↑ = Positive-going Transition
 Q₀ = The output logic level of Q before the indicated input conditions were established.

Tabella 2.5: Tabella delle funzioni del *DM74LS74*

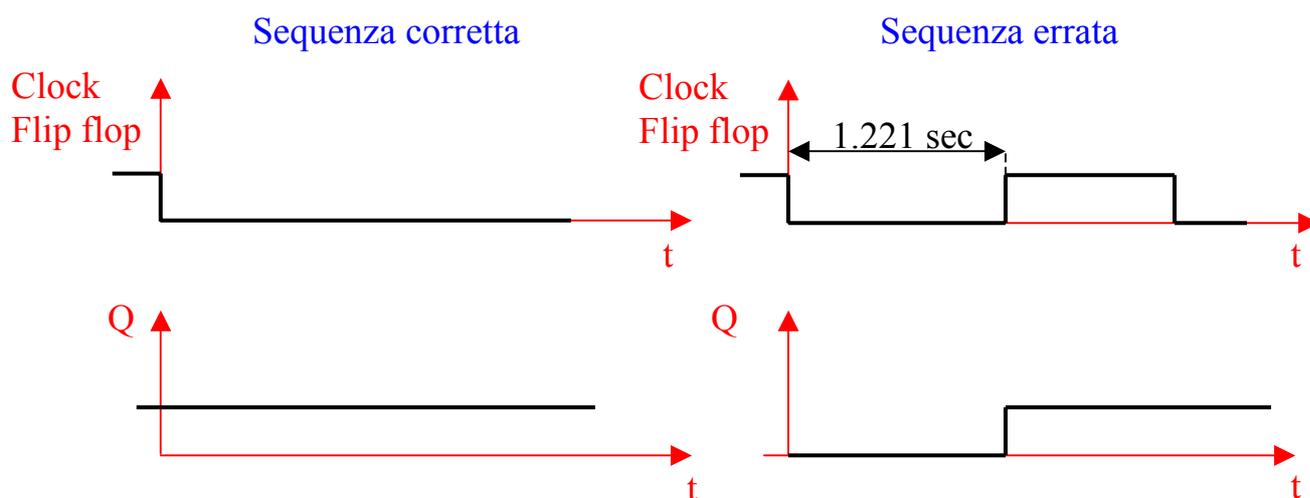


Figura 2.24: Temporizzazioni flip flop

La parte sino ad ora descritta servirà per le verifiche ed i test da effettuare sul segnale di PPS nel caso in cui la scheda lavori in due diverse condizioni:

- Nella stanza del ricevitore dove si vuole trasmettere il PPS alle cabine e si deve visualizzare e testare il segnale che si intende inviare;
- In cabina per visualizzare e testare il segnale che riceviamo nella scheda SLAVE.

La parte di schematico rappresentata a pagina 4 verrà invece utilizzata per la valutazione di errori in RICEZIONE, ovvero dalla scheda posta in sala di elaborazione o dalla scheda MASTER in cabina, per verificare il corretto funzionamento rispettivamente del segnale di PPS che dalle cabine è di ritorno in fibra verso l'edificio centrale o che dalla stanza del ricevitore è inviato in cabina alla scheda MASTER.

Tale parte è analoga come principio di funzionamento a quella appena descritta, salvo alcuni collegamenti, come per esempio l'uso dell'uscita negata del comparatore *LT1016* per fare la diagnostica. L'uso della logica TTL invertita risulta più immune ad interferenze di segnale, ed in particolare alle frequenti variazioni spurie della tensione di massa. Come si vede infatti dalla tabella 2.1, il livello logico alto TTL consente una escursione di valore all'interno di una banda di 3V (da 2V a V_{CC}) mentre per il livello basso tale range è solo di appena 0.8V (da 0 a 0.8V). Da

questa osservazione si capisce subito che un disturbo piccolo sulla V_{CC} non produce cambio del livello logico alto, mentre tale cambiamento lo si può avere a livello logico basso se il disturbo entra nella massa. Se lavoriamo con logica invertita, ovvero con segnali che producono attivazioni sui dispositivi solo se diventano bassi, un piccolo disturbo sulla V_{CC} non riesce ad attivare alcun dispositivo, mentre in logica non invertita se il disturbo colpisce la massa, la possibilità di un salto di livello è molto grande, e ciò porta all'attivazione di qualche dispositivo. Nel caso di logica invertita, il sistema risulta quindi maggiormente immune ai disturbi. Questo è lo stesso motivo per cui la maggior parte dei segnali nei dispositivi integrati sono attivi bassi. Tale accorgimento era stato previsto per tutta la parte di scheda riguardante la distribuzione del PPS, ma causa la complessità circuitale si è pensato di abbandonare quest'idea.

Abbiamo concluso la descrizione dello schematico, dove si deve tener particolarmente conto di alcuni importanti accorgimenti adottati:

- Adattamento delle piste a 50Ω , mediante l'inserimento di terminazioni opportunamente collegate alle piste di segnale, a seconda del livello logico TTL o PECL;
- Condensatori sulle alimentazioni per evitare che disturbi (interni ed esterni) provochino variazioni della stessa.

Come ultimo accenniamo al fatto che la scheda verrà presumibilmente realizzata in tecnologia compplanare con massa, sia per proteggere le linee di segnale da interferenze interne ed esterne, sia per motivi di carattere pratico, quale la necessità di ridurre al minimo le aree di asportazione del metallo, in modo da limitare l'usura degli utensili della fresa che compieranno tale operazione. Il montaggio a pannello dei componenti sarà un'operazione che dovrà svolgere il personale dell'istituto tenendo conto che non andranno montati tutti i componenti in tutte le schede; infatti a seconda del luogo e della funzione che dovrà svolgere la scheda, verranno montati esclusivamente i componenti necessari.

Importante sarà poi la caratterizzazione della scheda realizzata e le misure che verranno fatte su di essa per testarne il funzionamento, ed in particolare avrà grande rilevanza la misura del jitter sull'intero collegamento.

3. Conclusioni

Lo scopo del lavoro di tirocinio svolto presso l'Istituto di Radioastronomia di Medicina (Bo) è stato lo studio e la progettazione di una scheda prototipo per la distribuzione dei segnali di sincronismo: clock e PPS. La scheda è stata prevista per essere posta sia all'interno della stanza del ricevitore nell'edificio centrale, sia nelle cabine in muratura disposte lungo i rami della "Croce del Nord". Al suo interno presenta una parte di trasmissione e una di ricezione, in modo da svolgere diverse funzioni a seconda del luogo in cui viene impiegata:

- Nella stanza del ricevitore:
 - Trasmettere i segnali di sincronismo verso le cabine via fibra ottica.
 - Ricevere i segnali di ritorno inviati dalle cabine, al fine di un controllo dell'intero sistema.

- Nelle cabine in muratura:
 - Riceve i segnali di sincronismo trasmessi in fibra ottica dall'edificio centrale (scheda MASTER).
 - Se viene impiegata come scheda SLAVE, riceve i segnali trasmessi elettricamente dalla scheda MASTER.
 - Ritrasmette alla stanza del ricevitore i segnali di sincronismo ricevuti; in tal modo si riesce a monitorare l'intero sistema rimanendo all'interno dell'edificio centrale.

Queste sono le funzioni di massima cui la scheda, anche nella versione finale che sarà applicata a tutta la "Croce", dovrà adempiere.

Lo scopo del mio lavoro è dunque stata la progettazione dello schematico della scheda prototipo. La prima fase del lavoro svolto, ha richiesto la conoscenza del contesto in cui il circuito in questione andrà ad inserirsi, e questo mi ha portato ad apprendere ed approfondire conoscenze di radioastronomia. Noto il contesto si è passati alla progettazione vera e propria dello schematico mediante l'utilizzo del software *Orcad Capture*,

del quale si è appreso il funzionamento ed i relativi settaggi necessari per “istruire” il programma sulle specifiche elettriche e meccaniche del circuito da realizzare. Questa fase ha richiesto un certo sforzo, anche in ambito commerciale e di collaborazione con ditte del settore, per la ricerca dei dispositivi più adatti alla realizzazione del prototipo in vista soprattutto di una futura applicazione del sistema di distribuzione del sincronismo sull’intera “Croce del Nord”; per questo ci si è avvalsi di ricerche di mercato e di caratterizzazioni di precedenti soluzioni testate con esito positivo all’interno dei laboratori dell’istituto. Questa fase mi ha dato la possibilità di affrontare numerose problematiche inerenti a diversi settori dell’ingegneria di cui ho potuto apprezzare il risvolto pratico, che non era ancora stato affrontato negli studi sin ad ora condotti.

A meno di cambiamenti e normali accorgimenti, la scheda prototipo realizzata a livello di schematico sarà quella che verrà implementata sull’intero sistema. Sviluppi prossimi riguardano la realizzazione del layout mediante l’utilizzo del software *Orcad Layout* e la realizzazione dello stampato, per la cui realizzazione saranno interpellate ditte esterne specializzate nel settore (difficilmente un circuito di tale complessità sarà realizzato con la fresa presente nei laboratori dell’istituto). La scheda finale si inserirà quindi nell’opera di miglioramento delle funzionalità della “Croce” in prospettiva SKA; la sua evoluzione sarà strettamente legata, come detto, alla realizzazione di link ottici con caratteristiche tali da garantire un perfezionamento dell’intero sistema di distribuzione dei segnali.

Appendice

Application note:

- *AN1406/D*
- *AND8020/D*

Bibliografia

- [1] Sito internet dell' *IRA* (*Istituto di RadioAstronomia*)
<http://www.ira.cnr.it>

- [2] Sito internet internazionale di *SKA*
<http://www.skatelescope.org>

- [3] Rapporto interno IRA-CNR n° 342/03
“The BEST-1 SKA demonstrator (Release A)”
S. Montebugnoli, G. Bianchi, C. Bortolotti, A. Cattani, A. Cremonini, A. Maccaferri, G. Maccaferri, J. Monari, N. D'Amico, M. Poloni, F. Perini, A. Orlati, S. Poppi, S. Righini, M. Roma, J. Roda, P. Zacchioli

- [4] Rapporto interno IRA-CNR n° 343/03
“Digital receivers: Sync. and PPS distribution”
G. Bianchi, A. Maccaferri, F. Caprio, S. Montebugnoli

- [5] Rapporto interno IRA-CNR '03
“Some notes on beamforming”
S. Montebugnoli, G. Bianchi, C. Bortolotti, A. Cattani, A. Cremonini, A. Maccaferri, G. Maccaferri, J. Monari, N. D'Amico, M. Poloni, F. Perini, A. Orlati, S. Poppi, S. Righini, M. Roma, J. Roda, P. Zacchioli

- [6] Rapporto interno IRA-CNR n° 322/03
“The Northern Cross as a very promising test SKA test bed”
S. Montebugnoli, C. Bortolotti, A. Cattani, A. Cremonini, A. Maccaferri, J. Monari, M. Poloni, T. Pisanu, S. Poppi, S. Righini, M. Roma, J. Roda, G. Tommasetti, N. D'Amico, P. Zacchioli

- [7] Siti internet dei maggiori consorzi internazionali che lavorano a SKA
Stati Uniti, Canada, Olanda, Regno Unito, Cina, Sud Africa, India, ed altri (raggiungili mediante il link sul sito dell'IRA)

- [8] Siti internet delle maggiori ditte fornitrici di componenti
Agilent, Linear Technology, OnSemi, Fairchild, RS, Motorola, Philips, Infineon, Honeywell, Texas Instruments ed altri.
- [9] Giornale di astronomia vol. 3-n° 3 settembre 1977
“Il radiotelescopio Croce del Nord”
A. Ficarra, E. Gandolfi, F. Perugini
- [10] Esculapio-Progetto Leonardo 2002
“Propagazione elettromagnetica guidata” parte prima e seconda
V. Rizzoli, A. Lipparini
- [11] Ed. Clueb
“Propagazione ottica libera e guidata”
P. Bassi, G. Bellanca, G. Tartarini
- [12] Ed. Calderoni
“La logica” e “L’analogica”
R. Giometti, F. Frascari
- [13] Ed. Hoepli
“Manuale di elettronica e telecomunicazioni” Terza edizione
G. Biondo, E. Sacchi
- [14] Documentazione ulteriore disponibile all’interno dell’istituto

